

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-258206

(43)Date of publication of application : 16.09.2004

(51)Int.Cl.

G09F 9/33

G09F 9/30

H01L 29/786

H05B 33/14

(21)Application number : 2003-047657

(71)Applicant : SUZUKI KENKICHI

(22)Date of filing : 25.02.2003

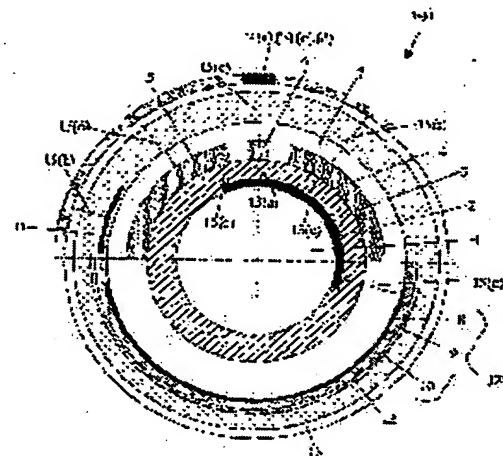
(72)Inventor : SUZUKI KENKICHI

(54) ACTIVE MATRIX TYPE LED DISPLAY APPARATUS AND ITS ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an LED display apparatus element applicable to a large display apparatus of various sizes by resolving technical problems in manufacturing an active matrix type LED display apparatus of high definition.

SOLUTION: In this active matrix type LED display apparatus, pixel of the active matrix type is constituted of an LED element 8 serving as a pixel display medium and an pixel driving circuit containing MOS type transistor element formed of single crystal silicon film or poly crystalline silicon film. The pixel is formed on an outer surface of a long body with a diameter $\leq 1,000 \mu\text{m}$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-258206

(P2004-258206A)

(43) 公開日 平成16年9月16日(2004.9.16)

(51) Int. Cl. 7

G09F 9/33

G09F 9/30

H01L 29/786

H05B 33/14

F1

G09F 9/33

G09F 9/30

G09F 9/30

H05B 33/14

H01L 29/78

Z

308Z

338

A

626Z

テーマコード(参考)

3K007

5C094

5F110

審査請求 未請求 請求項の数 9 O L (全 36 頁)

(21) 出願番号

特願2003-47657(P2003-47657)

(22) 出願日

平成15年2月25日(2003.2.25)

(71) 出願人

503348984

鈴木 堅吉

千葉県茂原市早野3713-3

(74) 代理人

100080159

弁理士 渡辺 望穂

(74) 代理人

100090217

弁理士 三和 晴子

(72) 発明者

鈴木 堅吉

千葉県茂原市早野3713-3

Fターム(参考) 3K007 AB18 BA02 BA03 BA06 CA00

CA01 DB03 GA00

5C094 AA05 AA14 BA03 BA12 BA23

BA27 CA20 CA24 DA05 DA09

DA13 DB01 FB14 JA08

最終頁に続く

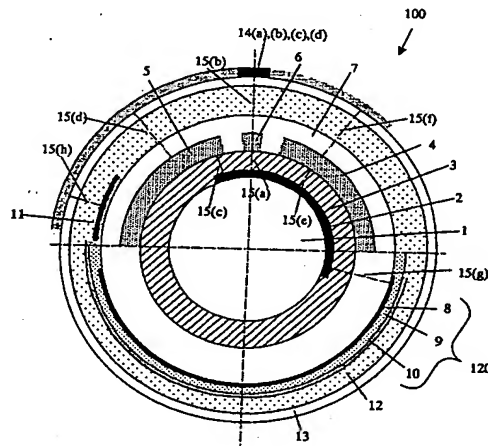
(54) 【発明の名称】 アクティブマトリクス型LED表示装置およびその要素

(57) 【要約】

【課題】 大型で、高精細度のアクティブマトリクス型LED表示装置を製造する際の技術的問題を解消し、かつ様々なサイズの表示装置に適用可能なLED表示装置要素の提供。

【解決手段】 画素表示媒体をなすLED素子と、単結晶シリコン膜または多結晶シリコン膜から形成されるMOS型トランジスタ素子を含んだ画素駆動回路と、で構成されるアクティブマトリクス方式の画素が、径が1000 μ m以下である長尺体の外表面上に形成されていることを特徴とするアクティブマトリクス型LED表示装置要素。

【選択図】 図1



【特許請求の範囲】

【請求項1】

画素表示媒体をなすLED素子と、単結晶シリコン膜または多結晶シリコン膜から形成されるMOS型トランジスタ素子を含んだ画素駆動回路と、で構成されるアクティブマトリクス方式の画素が、径が1000 μ m以下の長尺体の外表面上に形成されていることを特徴とするアクティブマトリクス型LED表示装置要素。

【請求項2】

各々径が1000 μ m以下である第1の長尺体と、第2の長尺体よりなり、
前記第1の長尺体の外表面上には、画素表示媒体をなすLED素子が形成されており、
前記第2の長尺体の外表面上には、単結晶シリコン膜または多結晶シリコン膜から形成されるMOS型トランジスタ素子を含む画素駆動回路が形成されており、
前記LED素子と、前記画素駆動回路と、が電氣的に接続され、アクティブマトリクス方式の画素をなしていることを特徴とするアクティブマトリクス型LED表示装置要素。

【請求項3】

前記LED素子と、前記画素駆動回路とは、前記長尺体の断面形状における異なる位置に形成されていることを特徴とする請求項1に記載のアクティブマトリクス型LED表示装置要素。

【請求項4】

少なくとも2つ以上の前記アクティブマトリクス方式の画素が、前記長尺体の長手方向に沿って間隔を開けて形成されており、
前記間隔は、アクティブマトリクス型LED表示装置の表示面での画素間隔に対応することを特徴とする請求項1ないし3のいずれかに記載のアクティブマトリクス型LED表示装置要素。

【請求項5】

さらに、前記画素駆動回路に外部からの信号を供給する第1の線状導体と、前記LED素子に電流を供給する第2の線状導体と、が前記長尺体の外表面上を、該長尺体の長手方向に延びていることを特徴とする請求項1ないし4のいずれかに記載のアクティブマトリクス型LED表示装置要素。

【請求項6】

前記長尺体は、石英ガラスの長繊維からなり、前記MOS型トランジスタ素子は、前記長尺体の外表面上に形成されるシリコン単結晶膜またはシリコン多結晶膜から形成されることを特徴とする請求項1ないし5のいずれかに記載のアクティブマトリクス型LED表示装置要素。

【請求項7】

前記LED素子は、有機蛍光体を含んだ発光層を有することを特徴とする請求項1ないし6のいずれかに記載のアクティブマトリクス型LED表示装置要素。

【請求項8】

請求項1ないし7のいずれかに記載のアクティブマトリクス型LED表示装置要素を少なくとも2本以上並列に配列させてなることを特徴とするアクティブマトリクス型LED表示装置。

【請求項9】

さらに、前記画素駆動回路に信号を供給するための第3の線状導体と、
各々異なる前記アクティブマトリクス型LED表示装置要素の外表面上に形成された前記LED素子の透明電極に共通に接続する第4の線状導体と、が前記並列に配列させたアクティブマトリクス型LED表示装置要素に対して直交して接続されることを特徴とする請求項8に記載のアクティブマトリクス型LED表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス型のLED表示装置およびその構成要素に関する。

【0002】

【従来の技術】

アクティブマトリクス型の平面表示装置では、液晶(LCD)に代表される画素表示媒体と、薄膜トランジスタ(TFT)を含んだ画素駆動回路とで、アクティブマトリクスを構成する個々の画素が構成されている。このような平面表示装置には、さらに、画素を駆動するためのタイミング、信号を発生するための、いわゆる周辺回路が実装されている。平面表示装置の基板として、プラスチックフィルムを用いる試みがなされているが未だ実用化には至っておらず、現在使用されている基板は、全て透明なガラス基板である。平面表示装置の画素表示媒体としては液晶(LCD)が主流であり、画素駆動回路に含まれるTFTとしては、アモルファスシリコン(a-Si)TFTが主流である。

10

【0003】

このような平面表示装置は、従来の陰極線管(CRT)を用いたパーソナルコンピュータやテレビジョンの画像出力用のディスプレイに代わるものとして、10~20インチ対角サイズのもの量が量産されている。

画素表示媒体としてLCDを使用した平面表示装置は、従来の陰極線管(CRT)を使用したものと比較すると、白色表示性能や動画を表示する際の応答性といった問題を有している。ここで白色表示性能がCRTに比べて劣るのは、CRTの場合、電子ビームを強くして、局所的に輝度を上げることでホワイトピークを形成し、これを安定化させることで白色表示性能を高めることができるのに対して、LCDの場合、光源がバックライトであり、常に一定の輝度しか出せない、このような手段を講じることができないためである。

20

これに対して、自発光であるLEDを画素表示媒体として用いた表示装置は、白色表示性能および動画を表示する際の応答性等において、LCDを用いた表示装置よりも優れており、優れた画質を実現できる。最近では、このような自発光の画素発光媒体の中でも、発光層に有機蛍光体を含んだ有機電界発光(EL)素子の研究、開発が急速に進められている。この有機EL素子は、低電圧で高輝度を得ることができる。

【0004】

一方、駆動回路側、すなわちTFTについても、以下の理由から、低温プロセスで製造される多結晶シリコン(低温p-Si)TFTの開発、製品化が急速に進められている。

この理由として、まず第1に、p-SiTFTは、a-SiTFTに比べて基本性能が高いことが挙げられる。そして、周辺回路を内蔵できるため、製造コストが大幅に低減される可能性がある。これに加えて、LED素子、特に有機EL素子の駆動には、LCDに比べて、駆動電流密度を高くすることが必要があるが、a-SiTFTではこれに対応することは困難である。

30

これらの理由により、TFTの開発は、LCDへの適用も含めて、a-SiTFTから低温p-SiTFTに移行する傾向がある。

【0005】

アクティブマトリクス型の表示装置をはじめとする全ての表示装置に対する市場要求は、表示サイズの大型化、高精細度および低コストの3点に集約される。これらの市場要求に対して、a-SiTFTは、原理的には40インチ対角サイズの表示装置や、ハイデフィニション(High-Definition)テレビ(HD-TV)のような高精細度の表示装置でも動作可能である。しかし、コストの問題に関しては、現時点でも15インチ対角以下のサイズのディスプレイですら市場要求にようやく対応している状態であり、これ以上の大型のものや、高精細度のものでは、コストについて市場要求に対応することは非常に困難であり、特に40インチ対角以上のサイズのものになると、現状技術の展開だけでは市場要求に対応することは極めて困難である。

40

【0006】

一方、低温p-SiTFTは、原理的に性能は優れているものの、問題はより深刻である。すなわち、現在使用されている表示装置の基板はガラス製であるため、製造プロセスは500℃以下の低温で実施する必要がある。表示装置に使用するTFTには高い性能が

50

要求されており、特に周辺回路においては、シリコンLSIと同等の性能を実現しなければならない。しかしながら、前記の温度制限下で、このような高性能のTFTを実現することは極めて困難である。

また、性能を犠牲にしたとしても、p-Si TFTには、多結晶シリコンであるため、全ての結晶を均一に形成されることが難しく、その結果特性が不均一になる等の、種々の原理的な問題を有している。

製造装置は、現状の大型のガラス基板に対応したa-Si TFTの製造技術をベースにせざるを得ないので、a-Si TFTと同様にコスト面での問題点を抱えており、さらに、肝心のパターン精度も要求される仕様を満たすことは困難である。

従って、現在は市場要求である本格的な高精細大型ディスプレイが製造されていないので前述した問題点が顕在化していないが、将来的に高精細大型ディスプレイの本格的な製造を行おうとした際には、これらの問題点がコスト面および性能面で重大な障害となることは明らかである。

【0007】

前述した表示装置に関わる諸問題について、さらに分析すると、a-Si TFTを使用した表示装置でコスト低減に限界があることの本質的な原因は、一見当然と見られる事実、即ち、基板が2次元平板形状であるという従来技術の基本的な前提にある。なぜこれが原因かと言うと、表示面積が大きくなるに従って、当然基板サイズも大きくなり、製造装置も大型になる。これに応じてスループットが増大すればよいが、機構的には限界がある。実際、現行のa-Si TFT製造装置として約1m²サイズの基板に対応するものが製造され、使用されているが、これが装置および製造ラインのコストパフォーマンスにおける一つの限界と考えられている。この点は、現行のa-Si TFT製造装置技術をベースとするp-Si TFTにおいても事情は全く同様である。

【0008】

おまけに、p-Si TFTでは、シリコンLSI的なプロセスを500℃以下の低温で実現しなければならないというさらに困難な状況がある。回路内蔵が可能であるため、コストを低減できることがp-Si TFTの優位性の1つであるが、これは高性能の回路が実現された時に成り立つのである。しかしながら、実際には基板が大型になる程、膜質やフォトリソグラフィの精度、シリコンLSI的なプロセスといった高性能デバイスに必要な各種の要件を実現することはますます困難となる。

低温p-Si TFTにおいて、成膜等のプロセス技術は連続的、漸進的に改良が進むと思われるが、フォトリソグラフィについては重大な問題を抱えている。すなわち、a-Si TFTを駆動回路とするLCDを用いた表示装置のように、画素のみのパターン形成を行う場合は、現状のようなN.A.（開口数）が0.1程度の露光機でも良いが、周辺回路の駆動用ICを製作する場合、0.5μmから0.35μmルール of LSIプロセスが必要である。この場合、露光機がN.A. 0.4以上の性能を持つ必要がある。

【0009】

一方、大型基板に対応する露光機の精度は、その構成上高いN.A.を得ることは困難である。現在大型基板対応の露光機は、a-Si TFT用のみであり、反射光学タイプ（Offner型）と屈折光学系（ステッパ型）の2種類がある。大型基板に対応するための装置の改良は、露光面積の拡大によるスループット向上が主である。露光面積の拡大の手段は、Offner型では、各反射光学系の大型化、ステッパ型では数本のレンズを結合して露光領域を拡大することである。これらの露光機は、a-Si TFT対応ということでそのN.A.は高々0.1程度を前提としている。しかしながら、実際問題としても、Offner型自体のN.A.の理論限界は0.135である。一方、ステッパ型は、機構部の構造、重量等の制約から有効なN.A.は高々0.1程度しか実現できない。さらに、形状、重量の増大により、サーボ制御機構の面から、スループットにも限界がある。実際、現状の1m×1m程度の基板に対応する露光機のスループットは60秒程度であるが、これはかなり限界に近い数値である。即ち、低温p-Si TFTを本格的に製造するには、現行の大型露光機技術では必要とする性能を原理的にも極めて困難で

ある。

【0010】

前述したように、LED素子、特に有機EL素子を用いてアクティブマトリックス表示するには、a-Si TFTでは電流駆動密度的に不可能であり、p-Si TFTが必須である。これは有機EL素子が電流駆動であることが理由であるが、このことはさらに以下の2つの問題を生じさせる。

第1に、画素駆動回路は、電流駆動のスイッチ回路であるため、複数個のTFTが必要である。そして、表示装置において均一な表示を行うためには、表示面全体にわたってほぼ同一性能のTFTを形成する必要がある。従って、前述した露光機は、周辺回路のみならず、画素駆動回路も高精度でパターンニングできなければならない。

第2に、LED素子を用いてアクティブマトリックス表示するには、単にa-Si TFTをp-Si TFTに置き換えるだけでなく、該TFTへの配線が低抵抗であることが必要となる。すなわち、従来からの画素表示媒体であるLCDは、電圧駆動であるため、消費電流は $1\mu\text{A}/\text{cm}^2$ 程度と小さく、金属薄膜配線とa-Si TFTの組み合わせでも十分に駆動可能であるが、LED素子の消費電力はこれよりもはるかに高く、特に有機EL素子の消費電流は $10\sim 10\text{mA}/\text{cm}^2$ とLCDよりも4桁以上高い。選択された画素を駆動するTFTにこのような電流を高速で供給せねばならず、そのためには配線抵抗を現状よりも4桁以上低下させる必要がある。したがって、p-Si TFT自体のトランジスタとしての性能は、原理的に有機EL素子を含めたLED素子を電流駆動することが可能であるが、現状の薄膜プロセスを用いる限り、配線抵抗がボトルネックとなり、表示面積では高々20インチ対角の表示装置が上限と考えられている。

【0011】

画素表示媒体に有機EL素子を用いて2次元平板形状をした大型基板を用いた表示装置を製造する場合、有機EL素子を構成する薄膜層の膜質および膜厚精度というさらに大きな問題がある。有機EL素子の発光原理は、無機半導体を用いたLEDでのp-n接合による機構とは異なり、有機蛍光体を含んだ発光層中での電子と正孔との再結合とこれによる安定な分子一重項励起子の生成、この基底状態への緩和の過程における発光と考えられている。したがって、電荷の発生とその輸送が表示面全体で均一に行われることが必要である。これは有機EL素子を構成する薄膜層の膜質、厚み、電極との接合等の諸条件が広い面積にわたって均一に制御されねばならないことを意味する。例えば、低分子蒸着膜型の場合、基本的には正孔輸送層、電子輸送層及びこれらに挟まれた発光層の3層からなり、全膜厚は 100nm 程度である。制御回路が理想的な性能を持つとしても、高品質の階調表示を行うためには、これら薄膜層の膜質、膜厚の変動をその階調間の数分の1まで制御する必要がある。低分子蒸着膜型または高分子塗布膜型のいずれにせよ、大面積にわたって3原色を分離して成膜し、膜質、膜厚を精密に制御する必要がある。

更に、有機EL素子は、発光した光の効率的な取り出しのための光学薄膜、光純度向上のためのカラーフィルタ等を有する薄膜多層構造のデバイスであるが、前述したように、現行の表示装置の製造技術は大面積の基板での製造の効率化を主目的としており、これをベースとして、市場商品レベルの有機EL素子表示装置を製造することは非常に困難であると考えられる。

【0012】

ディスプレイにおける表示サイズの大型化に伴う画素の欠陥率の増加を防止するため、その表面に沿って有機EL素子や無機EL素子に代表される発光素子が複数配置されたファイバーを並行配置し、これをドライバ回路が形成された回路基板を接続して構成されるディスプレイが特許文献1および特許文献2で提案されている。しかし、これらのディスプレイでは、ドライバ回路が2次元平板形状をした基板上に形成されているため、前述した従来技術における問題が全く解消されていない。特許文献1および特許文献2に示されるディスプレイが、マルチプレックス型、すなわちダイレクトマトリクス駆動のドライバ回路と接続されていることはこのためである。すなわち、2次元平板形状をした大型基板上で、有機EL素子や無機EL素子のような自発光の発光素子を発光媒体とする画素を、個

々の画素単位でアクティブマトリクス駆動可能な駆動回路を実現することは極めて困難である。

【0013】

以上、ガラス製の基板を前提として述べたが、他の材料、具体的にはプラスチック製の基板には、軽量、薄型、可撓性等の面から根強い要求がある。そして、単純マトリクス型LCDの時代から多くの試みがなされている。しかし、基板材の耐熱性、耐プロセス性は、ガラス製の基板よりも更に低く、実用化する上で本質的な課題が全く解決されていない。

【0014】

以上、大型基板について製造上の技術的問題を指摘したが、表示装置の市場製品化に当たってはさらに別の問題を有している。すなわち、実際の製品においては、種々のサイズの表示装置が要求される。しかしながら、サイズによっては、基板への割付が必ずしも効率的に行われず、無駄を生ずる場合が出てくる。また、製造業者が使用する基板にとって最適なサイズの表示装置が必ずしもユーザーにとっての最適なサイズとは限らない。

【0015】

【特許文献1】

特表2002-588502号公報

【特許文献2】

特表2002-543446号公報

【0016】

【発明が解決しようとする課題】

本発明の目的は、これら性能面および製造面における種々な問題が解決されたアクティブマトリクス型LED表示装置および該LED表示装置要素を提供することである。

すなわち、本発明は、大型および／または高精細度のアクティブマトリクス型LED表示装置を製造する際の技術的問題を解消し、かつ様々なサイズの表示装置に適用可能なLED表示装置要素および該LED表示装置要素を用いて製造されるLED表示装置の提供を目的とする。

【0017】

【問題を解決するための手段】

前述した目的を達成するために、本発明は、画素表示媒体をなすLED素子と、単結晶シリコン膜または多結晶シリコン膜から形成されるMOS型トランジスタ素子を含んだ画素駆動回路と、で構成されるアクティブマトリクス方式の画素が、径が1000 μ m以下である長尺体の外表面上に形成されていることを特徴とするアクティブマトリクス型LED表示装置要素を提供する。

前記アクティブマトリクス型LED表示装置要素において、前記LED素子と、前記画素駆動回路とは、前記長尺体の断面形状において、異なる位置に形成されていることが好ましい。

【0018】

また、本発明は、各々径が1000 μ m以下である第1の長尺体と、第2の長尺体よりなり、前記第1の長尺体の外表面には、画素表示媒体をなすLED素子が形成されており、前記第2の長尺体の外表面には、単結晶シリコン膜または多結晶シリコン膜から形成されるMOS型トランジスタ素子を含む画素駆動回路が形成されており、前記LED素子と、前記画素駆動回路とは電氣的に接続され、アクティブマトリクス方式の画素をなしていることを特徴とするアクティブマトリクス型LED表示装置要素を提供する。

【0019】

本発明のアクティブマトリクス型LED表示装置要素は、少なくとも2つ以上の前記アクティブマトリクス方式の画素が、前記長尺体の長手方向に沿って間隔を開けて形成されており、前記間隔は、アクティブマトリクス型LED表示装置表示面での画素間隔に対応することが好ましい。

本発明のアクティブマトリクス型LED表示装置要素は、さらに、前記画素駆動回路に外部からの信号を供給する第1の線状導体と、前記LED素子に電流を供給する第2の線状

10

20

30

40

50

導体と、が前記長尺体の外表面上を、該長尺体の長手方向に延びていることが好ましい。本発明のアクティブマトリクス型LED表示装置要素において、前記長尺体は、石英ガラスの長繊維からなり、前記MOS型トランジスタ素子は、前記長尺体の外表面に形成されるシリコン単結晶膜またはシリコン多結晶膜から形成されることが好ましい。

本発明のアクティブマトリクス型LED表示装置要素において、前記LED素子は、有機蛍光体を含んだ発光層を有することが好ましい。

【0020】

また、本発明は、前記アクティブマトリクス型LED表示装置要素を少なくとも2本以上並列に配列させてなることを特徴とするアクティブマトリクス型LED表示装置を提供する。

本発明のアクティブマトリクス型LED表示装置は、さらに前記画素駆動回路に信号を供給するための第3の線状導体と、各々異なる前記アクティブマトリクス型LED表示装置要素の外表面上に形成された前記LED素子の透明電極に共通に接続する第4の線状導体と、が前記並列に配列させたアクティブマトリクス型LED表示装置要素に対して直交して接続されることが好ましい。

【0021】

【発明の実施の形態】

以下、図面を参照して、本発明をさらに詳細に説明する。但し、図面は本発明の説明のために、具体的な形状を例示したものであり、本発明はこれに限定されない。

図1は、本発明のアクティブマトリクス型LED表示装置要素の1構成例の概念図である。図1において、断面形状で示されるアクティブマトリクス型LED表示装置要素（以下、「表示装置要素」と記載することもある。）100では、断面が円形をした長尺体1の外表面上、より具体的にはその断面形状の第3、4象限部分に、陰極をなす金属電極8と、発光層9と、陽極をなす透明電極10と、がこの順に積層されてなるLED素子120が形成されている。断面形状の第1象限内にはMOS型トランジスタ素子を含んだ画素駆動回路2が形成されている。本発明では、このMOS型トランジスタ素子は、単結晶シリコン膜または多結晶シリコン膜から形成される。

表示装置要素100において、LED素子120は画素表示媒体であり、対応する画素駆動回路2とともに、アクティブマトリクスの画素を構成する。

【0022】

図1の表示装置要素100では、画素駆動回路2を覆うように、断面形状の全周にわたって層間絶縁層3が形成されている。第1象限内の該層間絶縁層3上には、画素駆動回路2を介してLED素子120に電流を供給する線状導体（VDD線）4が形成されている。第2象限内の該層間絶縁層3上には外部からの画像信号を画素に供給するための線状導体（信号線）5が形成されている。VDD線4および信号線5は、長尺体1の長手方向に延びている。また、第1象限と第2象限との間の該層間絶縁層3上には、ゲート線用の中間パッド6が形成されている。ゲート線とは、表示装置要素100に対して外部から接続され、画素表示のタイミング等の信号を画素駆動回路2に供給する線状導体である。VDD線4、信号線5および中間パッド6上には、これらを覆うように層間絶縁層7が形成されており、LED素子120は、第3、第4象限内の層間絶縁層7上に形成されている。LED素子120の透明電極10は、第2象限内まで延長されており、第2象限内において、抵抗値を低減させる目的で金属膜11が積層されている。

【0023】

LED素子120を覆うように、第1パッシベーション層12が断面形状の全周にわたって形成されている。第1パッシベーション層12は、SiNからなる層でありLED素子120の耐水性を保障する。第1パッシベーション層12上には、これら全体を覆うように、透明樹脂からなる第2パッシベーション層13が形成されている。

第2パッシベーション層13上の、LED素子120の中心線の対極に当たる部位には、ゲート線、信号線、VDD線、共通電極線に各々接続するパッド14（a）、（b）、（c）、（d）が形成されている。共通電極線とは、後述するように、複数の表示装置要素

10

20

30

40

50

100を並列に配列させた際に、各々異なる表示装置要素100上に形成されたLED素子120の透明電極10に外部から共通に接続される線状導体である。

【0024】

図1において、スルーホールが、一点鎖線で表示されている。画素駆動回路2のゲート端子と中間パッド6の間はスルーホール15(a)により、中間パッド6とパッド14(a)(ゲート線と接続する)の間はスルーホール15(b)により、画素駆動回路2の信号端子と信号線5の間はスルーホール15(c)により、信号線5とパッド14(b)の間はスルーホール15(d)により、画素駆動回路2のVDD端子とVDD線4の間はスルーホール15(e)により、VDD線4とパッド14(c)の間はスルーホール15(f)により、画素駆動回路2とLED素子120の金属電極8との間はスルーホール15(g)により、透明電極10とパッド14(d)の間はスルーホール15(h)により接続されている。

10

【0025】

LED素子120において、陰極をなす金属電極8は、画素ごとに分離してパターンニングされる。一方、陽極である透明電極10は、画素ごとに分離することは必要ではなく、表示装置要素100上に複数形成された画素の共通電極として構成することがむしろ好ましい。透明電極10を画素ごとにパターンニングせず、共通電極として構成すれば、LED素子120の開口率を高くすることができる。

なお、図示した構成は、あくまで一例であり、表示装置要素100において、構成要素の配置は適宜変更してもよい。例えば、画素駆動回路2は、第2象限内や、第1象限と第2象限の中間に形成してもよい。また、VDD線4と信号線5の位置は、入れ変わってもよい。また、透明電極10は、第1象限側に延ばして、第1象限内で金属膜11と積層させてもよい。但し、円形をした長尺体1の断面形状を有効に活用するために、LED素子120と、画素駆動回路2と、は、長尺体の円周上の異なる部位、すなわち長尺体の断面形状における異なる象限上に形成することが好ましい。LED素子120および画素駆動回路2をこのように配置すれば、長尺体1の断面形状当たりのLED素子の開口率を高めることができる。本発明の表示装置要素100は、LED素子120が曲面形状をした長尺体1の外表面上に形成されているため、前述した構成にし、かつ高精細にすれば、開口率を実質的100%程度まで高めることができる。これにより、製造させるLED表示装置の画質が向上し、いわゆる「ザラ」感が解消される。また、LED表示装置の駆動に必要なパワーを減らすことができる。

20

30

【0026】

図2は、図1に示した構造の等価回路を示した回路図である。図2では、画素駆動回路2が、4個のトランジスタ素子を含んで構成されている。但し、画素駆動回路2に含まれるトランジスタ素子の数は、任意であり必要に応じて適宜選択される。回路配置も図示した形態に限定されない。画素駆動回路2は、通常は3~5個のTFTを含んだ種々の電流駆動回路として構成される。図2において、16は表示装置要素100に対して直交して接続されるゲート線を示しており、17は表示装置要素100に対して直交して接続される共通電極線を示している。

【0027】

図3(a)および図4(a)は、図1の表示装置要素100の平面図であり、図3(b)および図4(b)は、図3(a)および図4(a)における平面の位置を説明するための図である。図3(b)に示すように、図3(a)は、図1における第1、第2象限を上から見た図であり、図4(b)に示すように、図4(a)は、図1における第3、第4象限を上から見た図である。なお、図3(a)および図4(a)には、表示装置要素100に対して直交して接続されるゲート線16および共通電極線17が示されている。図3(a)において、91(a)~(d)は、該ゲート線16との接続に使用される低融点金属からなるバンプである。

40

表示装置要素100は、その端部にある信号線用のパッド14(b)が外部の駆動用ICと接続されて、外部から信号が供給される。パッド14(b)は、各画素ごとに形成して

50

示されているが、これは必須ではなく、パッド14(b)は、表示装置要素100の両端部に位置する画素の位置に形成されていればよい。但し、各画素ごとにパッド14(b)を形成すれば、表示装置要素100を、LED表示装置の表示面のサイズに応じて適宜切断して使用できる。

【0028】

LED表示装置を製造する際、ゲート線16は各画素に接続しなければならないが、共通電極線17は前述したように、LED素子の透明電極が金属膜を積層することで低抵抗化されているので、必要な電位と電流が確保される範囲でその本数を減らすことができる。図4において、陰極をなす金属電極8は、各画素ごとに分離してパターンニングされており、画素に対応する大きさおよび形状をしている。一方、陽極の透明電極10(図示していない)は、前述したように、表示装置要素100の長手方向にわたって延びる全面電極である。

【0029】

図5は、本発明の表示装置要素の別の1構成例の構造の概念図であり、図1と同様に、表示装置要素を断面形状で示している。

図5の表示装置要素100では、LED素子120と、画素駆動回路2とが、それぞれ別の長尺体1、1'の外表面上に形成されている。すなわち、図5の表示装置100では、長尺体1および1'が、互いに平行になるように接続手段130によって結合されている。長尺体1'上のLED素子120と、該LED素子120に対応する長尺体1上の画素駆動回路2とは、スルーホール15(g)、15(g')と金属電極8'、8''を介して電気的に接続されており、アクティブマトリクスの中の1つの画素を構成している。

【0030】

本発明の表示装置要素は、図1に示すように、1つの長尺体1の外表面上にLED素子120と、これに対応する画素駆動回路2とがそろって形成されているものと、図2に示すように、LED素子120と、これに対応する画素駆動回路2と、が別の長尺体上に形成されているものの両方を含む。すなわち、本発明の表示装置要素は、LED素子およびこれに対応する画素駆動回路が、それぞれ径が1000 μ m以下の長尺体の外表面に形成されており、該画素駆動回路が単結晶シリコン膜または多結晶シリコン膜から形成されるMOS型トランジスタ素子を含むアクティブマトリクス型の表示装置要素を広く含む。

【0031】

したがって、図1および図2のように、断面形状が円形をしたものに限らず、楕円形や矩形のような多角形をしたものであってもよい。但し、断面形状が円形または楕円形であれば、後述するようにロールに巻き取りながら、ロール・トゥ・ロールで製造できるので好ましい。また、断面形状が円形または楕円形であれば、形成された画素が曲面状になり、広がりが生じる効果を有する。また、断面が楕円形であれば、表示装置要素100のLED素子120が形成された面と、画素駆動回路2が形成された面の方向性が形状から容易に認識することができ、また工程上も片面に成膜したり、リフトオフするのが容易になるので好ましい。

また、図1および図2に示す表示装置要素100の構成要素のうち、VDD線4や信号線5は、例えば、表示装置要素100に接続される配線ボード(PCB)等に形成された外部要素であってもよい。但し、径が1000 μ m以下の長尺体上にアクティブマトリクスの画素が形成されるという本発明の特徴から、表示装置要素100の主要な構成要素は、いずれも長尺体1(、1')上に形成されることが好ましい。

【0032】

本発明の表示装置要素100において、長尺体1は、径が1000 μ m以下の細径の長尺体であれば、その材料は特に限定されない。したがって、金、銀、白金、銅、アルミニウム、鉄、ステンレス鋼、マグネシウム、チタン、またはこれらの合金等の金属線であってもよい。また、このような形状の長尺体を製造する技術が、プラスチック製光ファイバ(POF)として確立されていることから、プラスチック製であってもよい。POFに使用されるプラスチック材料としては、具体的には例えば、ポリメチルメタクリレート(MM

10

20

30

40

50

A)、ポリカーボネート(PC)、テトラフルオロエチレン/フッ化ビニリデン共重合体、フッ素化メタクリレート/MMA共重合体、シリコン樹脂等が挙げられる。または、無機材料として、シリコンファイバ、石英ガラスまたは炭素繊維の長繊維を用いてもよい。これらの長繊維は、光ファイバやガラス繊維強化プラスチック(GFRP)、炭素繊維強化プラスチック(CFRP)等に幅広く使用されている。前述した材料の中でも、石英ガラス長繊維が、耐熱性に優れており、かつLED素子120や画素駆動回路2といった表示装置要素100の構成要素をその外表面上に形成する際に好都合であることから好ましい。すなわち、表示装置要素100の画素駆動回路2、特に該画素駆動回路2に含まれるMOS型トランジスタ素子は、後述するように、SOI(silicon on insulator)技術を用いて製造される単結晶シリコンTFTまたは多結晶シリコンTFTであることが好ましい。長尺体が金属線や炭素繊維のような導体であっても、その外表面に絶縁層を形成し、その上に単結晶または多結晶のシリコン膜を形成することで、これらを形成することができるが、長尺体が絶縁体であり、かつ耐熱性にすぐれる石英ガラス長繊維であれば、その外表面にそのまま単結晶または多結晶のシリコン膜をすることで、SOI技術を適用することができる。さらにまた、現在表示装置の基板が全てガラス基板であることから明らかなように、表示装置としての特性にも優れている。

【0033】

但し、図5に示すように、LED素子120および画素駆動回路2をそれぞれ別の長尺体1、1'上に形成する場合には、画素駆動回路2を形成する長尺体1は、前述した理由から石英ガラス長繊維であることが好ましいが、LED素子120を形成する長尺体1'は、他の材料、例えばプラスチック製や金属製であってもよい。例えば、金属製の長尺体であれば、その外表面をLED素子の陰極として使用することができる。また、プラスチック製であれば、取り扱い性に優れており、かつ石英ガラス長繊維に比べて径が大きい長尺体を得るのが容易である。一方、長尺体1'が石英ガラス長繊維であれば、長尺体1と同一の材料であるため、熱膨張率が同じであり、長尺体1、1'間の接続が容易である。

【0034】

長尺体の径は、500 μ m以下であることが好ましく、150 μ m以下であることがより好ましい。本発明の表示装置要素の1つの利点は、後述するように複数セットの表示装置要素を含んだ連続した長尺体をロール・ツウ・ロールでリールに巻き取りながら製造することであり、長尺体の径が150 μ m以下であれば、石英ガラス長繊維を用いてロール・ツウ・ロールで製造するのに好ましい。径の下限については、その外表面上にLED素子、画素駆動回路等の構成要素を形成することが容易であり、かつ形成される画素が、表示装置にとって好ましいサイズになることから30 μ m以上であることが好ましい。

【0035】

本発明の表示装置要素において、LED素子と言った場合、表示装置に使用される画素表示媒体のうち、自発光型のものを広く含む。したがって、通常LED素子と呼ばれるI-I-V属半導体でのP-N接合部における発光現象を利用した、いわゆるLED素子以外に、発光層に蛍光体を含み、電界発光を発光原理とする電界発光(EL)素子も含む。EL素子としては、蛍光体としてZnSを用いた無機EL素子およびアントラセン等の有機蛍光体を用いた有機EL素子のいずれであってもよい。これらの中でも、高輝度であり、消費電力が少ないことから有機EL素子が好ましい。

【0036】

画素駆動回路は、画素表示媒体として自発光であり、電流駆動のLED素子をアクティブマトリクス制御するため、個々の画素駆動回路が、単結晶または多結晶のシリコン膜から形成されるMOS型トランジスタを複数個、通常は3~5個、含んで構成されていることが必要である。本発明は、径が1000 μ m以下、好ましくは500 μ m以下、より好ましくは150 μ m以下と非常に径が細い長尺体を表示装置の要素として使用することを特徴とするため、長尺体の外表面に形成される画素駆動回路自体のサイズも小さいことが好ましい。そのため、画素駆動回路に含まれるトランジスタは、単結晶または多結晶のシリコン膜から形成される薄膜トランジスタ素子(TFT)であることが好ましく、より好ま

10

20

30

40

50

しくはS O I技術で製造される単結晶シリコンT F Tまたは多結晶シリコンT F Tである。S O I技術で製造される単結晶シリコンT F Tおよび多結晶シリコンT F Tは、駆動電流密度の限界が高く、サイズ当たりの性能に優れている。

【0037】

本発明の表示装置要素を用いたL E D表示装置について以下に説明する。

図6は、本発明の表示装置要素を用いたL E D表示装置の表示面の端部付近の部分拡大図である。図6において、図面の垂直方向および水平方向はそれぞれL E D表示装置の表示面の垂直方向および水平方向に対応する。

図6に示すように、各々R（赤）、G（緑）、B（青）に対応する画素が所望数、所望の画素ピッチで形成された3種類の表示装置要素100を準備し、これをR、G、Bの順に画素ピッチに従って並列に配列させて表示面を形成する。図6では、表示装置要素100がL E D表示装置の表示面の垂直方向に配向した状態で配列されている。但し、表示装置要素100の配列は、これに限定されず表示装置要素100をL E D表示装置の表示面における水平方向に配向するように配列させてもよい。この場合、明細書中の信号線5がゲート線となり、ゲート線16が信号線となる。なお、表示装置要素100の配列は、製造されるL E D表示装置の画素サイズおよびピッチの構成に応じて適宜選択すればよい。

【0038】

前述により並列に配列させた表示装置要素100に対して、直交するようにゲート線16が接続される。表示装置要素100およびゲート線16の端部には、各々配線ボード（P C B）18（a）、（b）に固定される。P C B 18（a）上には、ゲート線駆動用のI Cチップ19（a）が示されている。図7は、図6の横方向から見た概念図であり、表示装置要素100およびゲート線16の端部は、配線ボード18（a）、（b）に実装された駆動用I Cチップ19（a）、（b）と接続される。図7では、表示装置要素100に接続されるP C B 18（a）およびI Cチップ19（a）と、ゲート線16に接続されるP C B 18（b）およびI Cチップ19（b）とが互い違いになるように配置されている。このように配置することで、製造されるL E D表示装置の厚さを薄くすることができる。例えば、I Cチップの高さが0.4mmで、P C Bの厚みを0.4mmであるとする、図7に示すように表示装置要素100およびゲート線16を配置すれば、端部の厚さを0.8mm以下、表示部の厚さを0.4mm以下とすることができる。

【0039】

前述したように、表示装置要素100およびゲート線16をP C B 18（a）、（b）に接続した後、図8に示すように、表示装置要素100およびゲート線16を、その全体、すなわち表示部からその端部までの全体にわたって樹脂でモールドする。ここで、ゲート線16側はブラックマトリクスを形成するため、絶縁性の黒色塗料を含む樹脂20でモールドし、表示装置要素100側は透明樹脂21でモールドする。これを平板状に成形すれば、平面L E D表示装置が得られる。ここで、L E D表示装置の総厚は、5mm以下であることが好ましく、より好ましくは2mm以下であり、さらに好ましくは1mm以下である。

【0040】

以下、本発明の表示装置要素およびこれを用いたL E D表示装置の製造方法の一例について述べる。但し、本発明の表示装置要素およびL E D表示装置は、前述した構成を実現できる限りどのような方法で製造してもよく、以下の方法で製造されるものに限定されない。なお、以下では、図1に示す構造を有し、長尺体が石英ガラス長繊維であり、L E D素子が有機E L素子である表示装置要素の製造、および該表示装置要素を用いたL E D表示装置の製造を例に説明する。

図9は、本発明の表示装置要素およびこれを用いたL E D表示装置を製造する際の基本手順を示したフロー図である。図9において、左側のフローは、表示装置要素の製造工程を示しており、右側のフローは表示装置要素を用いたL E D表示装置の組立て工程を示している。

【0041】

本発明の表示装置要素の製造工程は、長尺体である石英ガラス長繊維上にLED素子および画素駆動回路を形成するため、図10に示すようにロール22(a)に巻かれた石英ガラス長繊維1をロール22(b)に巻き取って行くロール・ツウ・ロールで実施することが好ましい。すなわち、本発明の表示装置要素は、図10に示すように、一定速度で走行する石英ガラス長繊維1に対して、2次元平板形状をした基板で行っているプロセス23を実施することで製造される。

【0042】

表示装置要素の製造工程の第1段階は、図9に示すように、石英ガラス長繊維上での画素駆動回路の形成である。図11は、図2に示す画素駆動回路を $0.5\mu\text{m}$ の設計ルールでレイアウトした一例を示した平面図である。図11において、トランジスタ素子は、全てn-チャネル型のMOS型TFTであり、 $L/W=2/2\mu\text{m}$ である。従って回路部分の面積は $28\times 24\mu\text{m}$ である。これ以外の種々回路方式をとるとしても、Si結晶部分の面積は $50\mu\text{m}$ □あれば十分である。図11中、一点鎖線の部分のMOS型TFTの概念図を図12に示す。これは、MOS型TFTの典型的な構造を断面形状で示している。図12において、25はシリコンアイランド(Si Island)(イントリンシック相)を、26はゲート酸化膜を、27はゲート電極を、28はLDD(Lightly Doped Drain)部を、29はドレイン部またはソース部を、30は第1層間絶縁膜を、31(a)、(b)、(c)は金属配線を、32は第2層間絶縁膜を、33(a)、(b)、(c)は金属配線ゲートを、各々表している。

【0043】

このような構造を有するMOS型TFTは、従来のSOI技術を用いることで、石英ガラス長繊維の外表面上に形成することができる。図13(a)~(i)は、石英ガラス長繊維の外表面上にSOI技術を用いてMOS型トランジスタ素子を形成する手順を示した図である。この手順は、基本的は従来2次元平板形状をした基板で行われているSOI技術と全く同様であり、膜形成、リソグラフィ、膜処理の3種類のプロセスからなる。本発明では、基板が断面が円形をした長尺体であるという制約はあるが、成膜面積(幅)が高々数 $100\mu\text{m}$ と微小な領域であることと、「基板」材料が石英ガラス長繊維ということから、従来の平面ガラス基板では用いることのできない種々の成膜方法と高い基板温度を用いることができる。

【0044】

図13(a)に示すように、第1段階として石英ガラス長繊維の外表面上にシリコン単結晶膜または多結晶膜24を形成する。図14は、石英ガラス長繊維の外表面上にシリコン単結晶膜または多結晶膜を形成するのに用いる装置の一例の概念図である。図14の装置では、側面形状が漏斗状であって、底面に開口部が設けられた石英ルツボ34をヒータ35で加熱して、該石英ルツボ34中でSi融液36をつくり、ここに石英ガラス長繊維1を通過させることで、石英ガラス長繊維1の外表面上にシリコン単結晶またはシリコン多結晶の薄膜24が形成される。

【0045】

石英ガラス長繊維上にシリコン単結晶膜または多結晶膜を作製方法は、他の公知の方法であってもよい。このような方法としては、具体的には例えばCVD技術を用いた方法、スパッタリング法、分子線エピタキシー(MBE)、蒸着、過飽和溶液からの結晶化法、Lateral成長のレーザーアニール技術、固相成長法などが挙げられる。また、シリコン結晶膜は、画素駆動回路ごとに形成すればよく、前述したように画素駆動回路は通常3~5個のTFTを含むことから1画素当たりで必要なシリコン結晶膜の面積は数 $10\mu\text{m}$ □程度である。従って、大型基板で適用に関して問題となる種々のレーザーアニール法、例えば、SLS等の方法等も有効に活用できる。さらに、石英ガラス長繊維であるため、基板温度は任意に設定できるので、大型平面基板と比較してシリコン膜の結晶化条件の選択の範囲が広い。

【0046】

次に、図13(b)に示すように、画素駆動回路を構成する各トランジスタ素子に対応し

10

20

30

40

50

た Si Island 25 をフォトリソグラフィにより形成する。図 15 は、ここで使用するフォトリソグラフィの手順を示すフロー図である。図 15 に示した手順中、レジスト塗布（あるいは保護膜等の有機高分子膜の塗布）は、線材に絶縁ワニスを一様に塗布する技術が既に確立しており、これを利用することができる。これは、基本的には図 14 に示した方法と類似の方法である。即ち、底面に開口部が設けられた容器にレジストを満たし、ここに石英ガラス長繊維を通過させる。これにより、シリコン単結晶膜または多結晶膜上にレジスト膜が形成される。ここで、レジスト膜の厚みは石英ガラス長繊維の走行速度に応じてレジストの粘度を調節することにより、高精度で制御できる。

【0047】

レジスト膜の形成後、通常通りプリベーク工程を実施する。本発明では石英ガラス長繊維の外表面上にレジスト膜が形成されるため、プリベーク炉は図 16 に示す構成であることが好ましい。図 16 のプリベーク炉は、石英ガラス長繊維 1 が通過するための開口部を有するステンレスパイプからなる主排気室 38 の内部を窒素置換し、ヒータ 39 により加熱し、主排気室 38 の前後に多段の差動排気室 37 を設けることで外部からのリークが防止されている。

【0048】

プリベーク工程に続いて、マスク露光を行う。図 17 は、マスク露光に使用するステッパ型露光機の構造を示した概念図である。図 17 において、光源 40 からの光は、ケーラー照明光学系 41 によりマスク 42 を照明する。41 の内部には、光源 40 からの光がインコヒーレントでない場合、これをインコヒーレント化する構成が設けられている。マスク 42 から出た光は、結像レンズ系 43、44 により石英ガラス長繊維の表面 45 にマスク像を結像する。図 18 は、該ケーラー照明光学系 41 の構造を示した概略図である。図 18 において、入射光 40 は分割レンズ 46 によって分割される。ここで光源 40 からの光がインコヒーレントの場合は、47 の光学系は必要ではなく、分割レンズ 46 で分割された入射光 40 は 2 次光源として直接第 2 の分割レンズ 48 に入射し、コンデンサレンズ 49 によりマスク 51 面上に均一な照明を実現する。前述の 2 次光源は、フィールドレンズ 50 により結像レンズ 43 の入射瞳に結像され、マスク像は石英ガラス長繊維の表面 45 に結像される。

【0049】

一方、光源 40 からの光がインコヒーレントでない場合は、光学系 47 によりインコヒーレント化される。図 19 は、光学系 47 におけるインコヒーレント化の原理を示した概略図である。図 19 に示すように、分割された各光をその光源のコヒーレンス長より長い光ファイバー（52 (a)、(b)・・・(n)）に導入される。ここで、各光ファイバー（52 (a)、(b)・・・(n)）の長さには、全て上記コヒーレンス長だけの差が与えられている。各光ファイバー（52 (a)、(b)・・・(n)）を出た光は、集光レンズ（53 (a)、(b)・・・(n)）により集光され、再度分割レンズ 48 に入射する。

【0050】

前述したように、石英ガラス長繊維は一定速度で走行しているので、露光はパルス光源を用い、露光位置に同期して発光させて 1 shot / site で露光を行う。この原理を図 20 (a) に示す。図 20 (a) に示すように、露光位置の同期は発光の繰り返し周期 T で決められる。ここで発光時間は t である。この方式でのパターン精度は石英ガラス長繊維の走行速度 v 、パルス光の繰り返し周波数の変動、およびパルス幅で決まる。パルス幅は、発光時間 t であるので、図 20 (b) に示すように、パターンの前後に vt だけ勾配を持った照射領域ができる。即ち、本来の走行方向のパターンの正確な照射領域 L が長さで $L - vt$ となり、正規の位置から vt だけ走行方向にずれる。従ってパルス幅をできるだけ短くすることが肝要である。例えば、後述する実施例のように、石英ガラス長繊維の走行速度が 20 m/s である場合にパルス幅を 1 ns 以下に設定すると誤差は 20 nm となる。ただし、詳しくは後述するが、パルス幅が小さくなる程必要な光源の出力が大きくなって実用化が困難になること、および石英ガラス長繊維の走行速度が一定ならば、レジ

10

20

30

40

50

ストのガンマ特性との兼ね合いでパターンずれをあらかじめ考慮して、形状およびレイアウトで調整可能であることから、パルス幅を短くすることは必ずしも必要ではない。例えば、現状のレーザー光源等の技術動向を考慮すると、機構と電子回路によって石英ガラス長繊維の走行速度およびジッタをコントロールすることでも対応することができる。即ち、石英ガラス長繊維の走行速度の変動分を Δv 、パルス光の繰り返し周期 T の変動分（ジッタ）を ΔT とすると、 $v \Delta T + T \Delta v$ が走行方向即ち石英ガラス長繊維の長手方向の合わせ誤差となる。後述する実施例の条件において、ジッタ ΔT を2.5 ns以下、速度変動率 $\Delta v / v$ を0.025%以下とすることで、合わせ誤差を0.1 μm の範囲に収めることができる。

なお、このような高速で走行する対象に短い光パルス同期させて照射するためのアライメント、照射等の技術には、DVD光ヘッドで使用されている技術を援用することができると考えられる。

【0051】

光源としては、高圧水銀灯から発生するi線とYAGの第3高調波（波長355 nm）を用いることができる。必要露光量（ドーズ量）は通常用いられているレジスト材では200 mJ/cm²程度である。このエネルギー密度は一般の高分子材料に対して、20 nsパルス幅の248 nmまたは308 nmエキシマレーザーでのアブレーション閾値であるので、1桁から2桁感度の高いレジスト材を用いる必要がある。このため、例えばドーズ量5 mJ/cm²の化学増幅型レジストを用いることが好ましい。例えば後述する実施例の光学系での損失は50%であるので、パルス光源の場合、1 shotの出力は100 mJ/cm²必要となる。一方、露光時間が1 nsの連続波（CW）の場合、出力ワット数は10 MW/cm²となる。1画素駆動回路の結像面の照射面積としては50 $\mu m \times 100 \mu m$ あれば十分であるが、これに必要なCW光源の実際の出力は500 Wとなる。CW光の場合は、EOモジュレータ等によってパルス化しなければならないが、このような高いパワーに耐えられる材料を見つけ出すことは困難である。パルス光源の場合は0.5 μJ /shot、繰り返し周波数34.72 kHzが要求される仕様となるが、この仕様に合致しないものであってもレジストのガンマ特性とパターン配置を選択することで必要精度を確保することができる。例えば、後述する実施例で使用する装置（Coherent社製Compass AVIA 355-400）は、レーザーの波長が355 nmであり、出力は周波数40 kHzで10 μJ /shotであり、パルス幅が10 nsである。したがって、パルス幅は前述した仕様値1 nsの10倍である。これをレジストのガンマ特性とパターン配置で調節するには、例えば以下の手順で行えばよい。即ち、画素駆動回路で最も精度が必要な部分はLDD構造であるが、該LDD構造を要求される精度で形成するには、図21（a）に示すように、石英ガラス長繊維の進行方向が、トランジスタのチャネル長 L の方向となるように配置すれば良い。但し、この際に設計チャネル長を $L + 0.4 \mu m$ としておき、レジスト材のガンマを10:1とする。更に精度が必要な場合は、図21（b）に示すように、パルス光に同期をして、1 nsのEOモジュレーションをかける。

【0052】

以上は画素駆動回路の高精度を要する部分の露光方式であるが、このような高精度を必要とせず、かつより広い面積にわたってパターンを露光する場合、例えば画素駆動回路内の配線、有機EL素子の陰極金属電極、パッド等の露光や、石英ガラス長繊維の長手方向に、切れ目のない一直線の単純パターンを露光する場合は、各々異なった露光方式を採用できる。前者の場合は、レイアウトの補正は行うものとして、10～100 nsのパルス幅の露光で露光領域を拡大する。後述する実施例で使用するレーザー装置（Coherent社製DPSS AVIA 355-4500）は、常用20 kHzで200 μJ /shotの出力であり、パルス幅が40 nsである。この結果、照射面積が20倍となり、1画素全面にわたって露光を行うことができる。パターン精度は前述したレジスト材で0.5 μm である。後者の単純パターンの場合は、ここで述べた方式に加えて、結像レンズを用いず、プロキシミティ露光も行うことができる。図22（a）、（b）は、プロキシミ

10

20

30

40

50

ティ露光の原理図である。図22(a)は、石英ガラス長繊維1の中心に集光する照明系で湾曲したマスクホルダ54に取り付けられたマスク51を照明する。図22(b)は、平行照明光で円筒型(シリンドリカル)レンズ55を照明し、該レンズ55の平面側にマスク51が置かれている。この場合はパターンに切れ目がないので、CW光のままで露光してもよい。例えば、高圧水銀灯を用いて、照射面積 $0.2 \times 100 \text{ mm}$ を露光する場合、滞留時間は5msであるので必要ワット数は 2 W/cm^2 で、光源のi線出力として0.4Wである。

【0053】

図15に示すように、マスク露光に続いて現像を行う。本発明では、石英ガラス長繊維を基板として、一定速度で走行させながら現像を行うため、ウェットプロセスで現像を行うことが好ましい。図23(a)は、本発明に用いるウェットプロセスを用いた現像装置の概念図である。図23(a)の現像装置では、現像液で満たされた塩化ビニール製のチューブまたはテフロン(登録商標)製のチューブからなる現像液容器56中に、石英ガラス長繊維1を通過させる。現像液は、ポンプ57により循環され、センサを備えた液調整室58およびヒーター5.9により常に一定の液状態を保たれている。このように細い円筒状をした現像液容器中を石英ガラス長繊維が通過する形式であれば、液温、液状態を精密に制御することができる。

現像完了後、石英ガラス長繊維1は、図23(b)に示す洗浄装置で現像液を除去する。図23(c)は、洗浄装置内に複数設置された洗浄ノズル60の概念図である。図23(c)に示すように、洗浄ノズル60は、石英ガラス長繊維1の円周方向に沿って多方向に開口61が設けられており、これらの開口61から純水等62を噴出させる構成である。このような洗浄ノズル60を1段、または多段に設けることで、現像液の完全な除去が図られる。洗浄後同様な装置で乾燥清浄空気または窒素等を吹き付けて乾燥させる。

【0054】

現像後、図13(b)に示すように、シリコン単結晶薄膜をSi Island 25に加工するため、エッチング工程を行う。エッチング工程には、通常はドライエッチングを用いられるが、平板基板に対してプラズマ系を用いてエッチングする場合のエッチング速度は 10 nm/s 程度である。エッチング装置を円筒型にし、その中心部に石英ガラス長繊維を配置して、電界を該中心部に集中させることでエッチング速度を1桁近く改良することができるが、ドライエッチングの有効長を 20 cm とすると、石英ガラス長繊維の滞在時間は 10 ms であり、例えば、後述する実施例のように、厚さ 75 nm のシリコン単結晶膜をエッチングするのに要する時間との間には3桁近く時間の差がある。従って、本発明では、イオン打ち込みと各種エッチングの組み合わせることで、エッチング速度の高速化を図ることが好ましい。図24は、この工程に用いるイオン打ち込み装置の概念図である。図24のイオン打ち込み装置では、図16に示す装置と同様に、主真空室63の前後に多段の作動排気室37が設けられている。64(a)、(b)はイオンガンであり、シリコン結晶膜のうち、レジストで覆われたSi Island以外の部分に水素およびSi等を打ち込んで、シリコン結晶膜のアモルファス化と水素化を行う。これを図23と同様の装置で、Seccoエッチング等のウェットプロセスを用いてエッチングして、Si Island部を形成する。ウェットプロセスの場合、現像と同様に細い円筒内のエッチング液中を石英ガラス長繊維が走行する方式であるので、温度、液管理は精密に行なうことができ、高いパターン精度を得ることができる。

【0055】

但し、ドライプロセスの場合も、成膜の場合と同様に、基板が微小面積であるため、従来のプラズマCVD以外に、電子、イオンビーム等を用いることができる。例えば、水素化によりSi Islandをマスクして、波長 308 nm または 248 nm のエキシマレーザーを1shot照射してレーザーアブレーションにより、アモルファス化されたシリコン膜を除去してもよい。この場合、光学系は前述の露光光学系と同様な構成であるが、光学部品は石英、蛍石等の材料で構成され、例えば、結像領域が 20 mm の長さで、繰り返し周波数が 1 kHz のレーザー光源を用いる。レジスト剥離は、図23と同様のウェッ

10

20

30

40

50

トプロセスを用いた剥離装置で行い、続いて図25に示すような酸素アッシング装置を用いて酸素アッシングを行い、残存レジストを完全に除去する。図25の装置は、図16の装置と同様に、主排気室65の前後に多段の差動排気室37が設けられている。主排気室65内に設けられている電極66に高周波を加えることで、酸素プラズマを発生させる。これらレジストの剥離、酸素アッシングにおいても、細い円筒内を走行する形式であるので、プロセス管理が容易で、不良が大幅に低減できる。

【0056】

続いて、図13(c)に示すように、Si Island 25を覆うように、ゲート酸化膜26を形成する。ゲート酸化膜26の形成は、スチーム酸化により行う。TF Tの性能はシリコン薄膜の結晶性と共にこの上に形成されるゲート酸化膜に大きく依存する。本発明では石英ガラス長繊維を基板とするため、熱酸化によるゲート酸化膜の形成が可能である。もちろん、これ以外の成膜方法を用いてもよいが、その場合においても高温でのアニールが可能であるという利点を有している。おまけに、これら熱工程において、径が1000 μm 以下と非常に細い基板であるため、1000℃以上の高温領域で、高精度の温度制御を行うことができる。従って、高品質の膜がばらつきなく実現でき、高性能のTF Tを均一に形成することができる。

次に、V t h制御のため、Si Island 25にボロン(B)を、チャネルドーピングして、アニールする。図26は、スチーム酸化およびアニールに用いる高温アニール炉の概念図である。図26の高温アニール炉は、本質的には図16と同様であるが、加熱部分はヒータ線であるカンタルのチューブ67の中心に石英管68が配置され、この中心を石英ガラス長繊維1が走行する構成である。安定電源69と機械構造の対称性から高温での高精度、均一、安定な加熱が実現される。

【0057】

続いて、図13(d)に示すように、ゲート電極27を形成する。ゲート電極27は、イオンクラスタービーム、金属溶射、有機金属光反応等を用いてW-T iを成膜し、パターンニングには前述したSi Islandの形成と同様に、5:1微小投影による高精度露光を用いる。エッチングは、ウェットプロセスを用いることが好ましい。なお、電極パターンで精度が必要なのはゲート電極27のみで、その他の金属配線等31、33は、図27に示すように、あらかじめ電極パターンに対応したレジストネガパターン70を形成しておき、リフトオフで電極パターンを形成すればよい。この成膜方法は、局所的にコントロールすることが可能なので、リフトオフパターン近辺のみに71で示すように成膜することができ、従来のリフトオフ法よりも精度を上げることができる。

【0058】

続いて、図13(e)に示すように、リン(P)イオンの打ち込みにより、LDD部28と、ドレイン部およびソース部29を形成する。ここで不純物の導入方法には、イオン打ち込みとレーザードーピングがある。後者は、半導体のデザインルールの微小化に伴い、shallow junctionの要請から検討されているが、画素駆動回路では、0.3~0.5 μm ルールで十分であるため、プロセスの高速性からイオン打ち込みを用いることが好ましい。図28は、Pイオンの打ち込みによりLDD部28、ドレイン部およびソース部29を形成する方法を示した図である。図28(a)は、n-領域、即ちLDD部28への不純物の打ち込みのため、低濃度(例えば、 $1\text{E}14\text{atm}/\text{cm}^2$)での不純物ドーズ72を行い、一方、図28(b)では、LDD部28の幅(例えば1 μm)に応じたレジストパターン70を作製し、ソース部およびドレイン部29用に、高濃度(例えば、 $2\text{E}15/\text{cm}^2$)で不純物ドーズ73を行う。イオン打ち込み装置は、図24の装置と同様である。本発明では、イオン打ち込みは、画素駆動回路の微小面積に対して行うため、ビーム径が数10 μm の小型、高精度のイオンビームを固定して照射すればよく、スキャン機構は必要ない。また、石英ガラス長繊維は走行しているので、イオンビームによる加熱も少なく、かつ細い領域なので冷却も非常に簡単である。さらに、デバイスに対してビームの角度は自由に変えることができ、いろいろな形態の添加物導入が可能である。

【0059】

イオン打ち込み後、打ち込まれた不純物の活性化のためアニールを行うことが必要である。熱アニールの場合、高温を採用することでアニール時間をある程度短縮することができるが、ゲート電極27形成後のLDD部28、ソース部およびド레인部29の活性化には、ゲート電極27の熱歪の点から1000℃以上の高温は使用できない。従って、エキシマレーザーによるレーザーアニールを使用することが好ましい。この方式は前述の露光方法と同様に、5:1の縮小投影を用いる。但し、マスク照射光のエネルギー密度が低いので、Crマスクを用いたのでよく、活性化させたい部分にのみ露光する。本発明では、加熱部分が微小であるため、高精度の温度制御が可能であり、不純物を精度良く分布させることが可能である。

10

【0060】

続いて、図13(f)に示すように、第1層間絶縁膜30としてSiO₂膜を形成する。良好な界面と次に述べる厚膜化の過程で下地を保護するため、800nm厚の第1層間絶縁膜30を形成する場合には、レーザーCVDにより100nm厚の緻密な膜をまず形成する。図29は、この工程に用いるレーザーCVD装置の概念図である。図29の装置は、図16の装置と同様に、主真空室74の前後に多段の差動排気室37が設けられている。主真空室74には、CVD用ガス導入口75(a)からシランガスおよび酸素が導入される。これらのガスは、主真空室排気口75(b)から排出される。そして、レーザー光76として、CWのYAG532nm高調波を主排気室内74の石英ガラス長繊維1の全長にわたって全面照射することで、SiO₂膜が成膜される。このようにして形成されたSiO₂膜を厚膜化することで、所望の膜厚を得る。図30は、厚膜化に使用する装置の概念図である。図30の装置では、底面に開口部が設けられた容器77中に液状をしたSi有機酸化物化合物78が入っており、この中に石英ガラス長繊維1を通し、ヒータ79による加熱または紫外光照射により、700nm厚分だけのSiO₂80を積層させる。

20

【0061】

続いて、第1層間絶縁膜30にゲート電極27、ド레인部およびソース部29に対するスルーホールを開けて、図13(g)に示すように、金属配線31(a)、(b)、(c)を配線する。スルーホールの形成は、前述したSi Islandの形成と同様に、フォトリソグラフィ工程により行う。すなわち、スルーホール位置にスルーホールの大きさに相当するレジスト穴パターンを形成して、BHF(Buffered HF+NH₄F)等のエッチング液によるウェットエッチングを行う。この場合、速度を速めるために液温を上げ、下地のSiがダメージを受けないように、薄膜を残してエッチングを管理する。その後、図25と同様のドライエッチング装置を用いて、作業ガスとしてCF₄を使用して薄膜の除去と残さ処理を行う。配線用金属には、Alを用い、成膜はゲート電極と同様にイオンクラスタービーム、金属溶射、または有機金属の光または熱反応等を利用する。金属配線のフォトリソグラフィ工程では前述した手順で行い、エッチングはウェットプロセスを用いて実施する。

30

【0062】

続いて、図13(h)に示すように、この金属配線31上に第2層間絶縁膜32を前述と同様の手順で形成する。そして、図13(i)に示すように、ゲート線、信号線5、VDD線4に接続するためのスルーホールを形成し、該スルーホールを通過する金属配線33(a)、(b)、(c)を形成する。続いて、図1に示すように、第2層間絶縁膜3上に、VDD線4、信号線5およびゲート線接続用のパッド6を、各々第1、第2象限およびY軸上近辺にAl膜で形成する。Al膜の膜厚は1μmである。成膜に際して場合によっては下地との接着性を増すために10nm厚程度のTi膜を形成する。成膜方法は前述の方法のいずれかである。なお、VDD線4および信号線5の配線パターンは単純な線であるため、前述したフォトリソグラフィを用いた方法または、リフトオフを用いた方法であっても、選択上の優劣はない。続いて、石英ガラス長繊維1の全周にわたってSiO₂のパッシベーション膜7を形成する。

40

50

【0063】

続いて、パッシベーション膜7の第1と第4象限の境界近傍に、第3、第4象限内に形成された有機EL素子120の陰極用金属電極8と、画素駆動回路2とを接続するスルーホール15(g)を形成する。有機EL素子120の陰極用金属電極8は、重量比9:1のMgAg膜またはAl-Li合金を蒸着して形成する。この金属電極8は、各画素単位で独立にリフトオフにより形成する。

【0064】

これらのプロセス完了後、完全に水分を除去し、乾燥雰囲気内で高分子型有機EL膜を前述したレジスト塗布と同様の方法で塗布する。高分子型有機EL材料としては、例えば、正孔輸送ポリマとして、PVCz (poly (n-vinyl carbazole)) を使用し、該ポリマ中に電子輸送用分子として、BND (2, 5-bis (1, 2-naphthyl) -1, 3, 4-oxazole) を、RGBの画素に対応する蛍光発生用色素として、Nile red (赤色)、coumarin 540 (緑色)、TPB1, 1, 4, 4-tetraphenyl-1, 3-butadiene (青色) を各々ドープしたものをを用いることができる。PVCz、BND、色素の成分比は、例えば160:40:1である。これを1, 2-dichloroethaneとIPA (isopropyl alcohol) の混合溶剤に溶かした溶液として塗布する。塗布後、溶剤を完全に除去した後、第1、第2象限に塗布された有機EL膜を除去する。図31は、この工程に使用する装置の概念図である。図31の装置は、図16の装置と同様に、主排気室81の前後に多段の差動排気室37が設けられている。主排気室81中を通過する石英ガラス長繊維1に対して、レーザー光82を照射して、光アブレーションにより有機EL膜を除去する。この時、発生するデブリスをデブリス吸引口83より吸引除去する。

【0065】

続いて、陽極透明電極用の錫ドープ酸化インジウム (ITO) 膜10を第3、第4象限を主体にマスク蒸着により形成し、ITO膜の抵抗値を下げるため、第1または第2象限内で、ITO膜と接触するように、金属膜をマスクを介して成膜する。次に、石英ガラス長繊維1の全周にわたって、SiN膜12、耐熱透明樹脂膜13の順番でパッシベーションする。陰極金属電極上への有機EL膜塗布からSiN膜の成膜までは、一定速度で走行する石英ガラス長繊維に対する一貫ラインとして行うことが好ましい。図32は、第2層間絶縁膜以降の表示装置要素100におけるスルーホールの平面位置および配線用パッドの位置を示した平面図である。各パッドは上記耐熱透明樹脂膜上 (ファイバー最外層) に設けられている。

【0066】

図33(a)~(c)は、前述した表示装置要素を用いて、2次元平面形状をしたLED表示装置を製造する手順を示した図である。図33(a)~(c)では、LED表示装置を横方向に90度回転させた状態で示されている。すなわち、図33(a)~(c)では、図面の横方向がLED表示装置の表示面の垂直方向に相当する。図33(a)は、LED表示装置を製造する際に、表示装置要素100を並行に配列させて、LED表示装置の表示面を形成する手順を示している。図33(a)において、表示装置要素100は、図面横方向に配向するように枠84に固定される。図面縦方向に延びる枠84の2辺には、RGBの水平画素ピッチに対応する間隔で図面横方向に延びる溝が切られている。前述した手順で製造され、ロールに巻き取られた表示装置要素100は、対応する画素の溝にはめ込まれ、枠の長さに合わせて切断して固定される。ここで、パッド部14(a)等が所望の位置、例えばゲート線用パッド14(a)が、図33(c)において、ゲート線16と接するように、図面裏側になるように配置し、特に隣り合った2本の表示装置要素100の対応するパッドの相対距離が、所望の間隔、具体的には例えば1μm以内、に収まるように調整しながら固定する。

【0067】

図33(b)は、LED表示装置を製造する際に、ゲート線用銅線16を並行に配列させて固定する手順を示している。図33(b)において、ゲート線用銅線16は、図面縦方

10

20

30

40

50

向に配向した状態で枠 8 5 に固定される。図面横方向に延びる枠 8 5 の 2 辺には、画素垂直ピッチに対応する間隔で、図面縦方向に延びる溝が切られている。ゲート線用銅線 1 6 は、対応する溝にをはめ込まれ、枠 8 5 の長さに合わせて切断して、固定される。このようにして、表示装置要素 1 0 0 およびゲート線用銅線 1 6 は、LED 表示装置の表示面において互いに垂直方向に配列する。

【0068】

前述した手順で枠 8 4 に固定された表示装置要素 1 0 0 の信号線用パッド（駆動 IC 用）、共通電極線用パッド、VDD 線用パッドおよびゲート線用パッドにインクジェット等の手段により、低融点金属のバンパを形成する。ここでゲート線用パッドについては、全ての画素に対応させてバンパを形成することが必要であるが、信号線用、共通電極線用および VDD 線用のパッドについては、表示装置要素 1 0 0 上に複数形成されたパッドのうち、少なくとも 1 つのパッドにバンパを形成すればよい。但し、バンパを形成するパッドの位置は、並行に配列させた表示装置要素 1 0 0 同士で、その長手方向における位置が同じであることが必要である。

枠 8 5 に固定されるゲート線用銅線 1 6 においても、同様にゲート線駆動用 IC チップと接続する部分と、前述した表示装置要素 1 0 0 のバンパが形成されるゲート用パッドに対応する部分に低融点金属のバンパを形成する。但し、枠 8 5 に固定されたゲート線用銅線 1 6 全体に低融点金属を成膜してもよい。

【0069】

図 3 3 (c) に示すように、表示装置要素 1 0 0 用の枠 8 4 は、ゲート線用銅線 1 6 用の枠 8 5 の内部に収まる構成となっている。表示装置要素 1 0 0 とゲート線用銅線 1 6 を直交させて、相互の位置を調整しつつ、両枠 8 5、8 5 の位置を固定する。この状態でマイクロウェルダを用いて、表示装置要素 1 0 0 とゲート線用銅線 1 6 の接点をレーザー溶接する。図 3 4 (a) は、マイクロウェルダの構成の 1 例を示した概念図である。図 3 4 (a) に示すように、前述により前述より互いに固定された枠 8 4、8 5 は、枠 8 5 の内側に表示装置要素固定板 8 8 をはめ込んでレーザー溶接ヘッド 8 6 の下方の所望の位置に設置される。レーザー溶接ヘッド 8 6 は、図面を貫通する方向に延びる X ステージ 8 9 に取り付けられており、該 X ステージ 8 9 は、図面横方向に延びる Y ステージ 9 0 に取り付けられている。X ステージ 8 9 は、溶接ヘッド 8 6 が図面を貫通する方向に移動する際のガイドレールとして作用し、Y ステージ 9 0 は、X ステージ 8 9 が図面の横方向に移動する際のガイドレールとして作用する。溶接ヘッド 8 9 および X ステージ 8 9 は、リニアモーター駆動により、各々該当する方向に高速で移動することができる。図 3 4 (b) は、図 3 4 (a) に示すマイクロウェルダ、より具体的には、マイクロウェルダの溶接ヘッド 8 6 と、被溶接対象、すなわち表示装置要素 1 0 0 およびゲート線用銅線 1 6 との位置関係を示した図であり、図 3 4 (a) を横方向から見ている。図 3 4 (b) に示すように、レーザー溶接ヘッド 8 6 に取りつけられたゲート線用押さえローラ 8 7 と表示装置要素固定板 8 8 により、ゲート線用銅線 1 6 と表示装置要素 1 0 0 は互いに接触した状態に保持されている。この状態で、溶接ヘッド 8 6 からレーザービームを照射して、ゲート線用銅線 1 6 と表示装置要素 1 0 0 の接点を溶接する。

【0070】

図 3 4 (a) を再度参照すると、ゲート用銅線 1 6 は、図面を貫通する方向に延びている。レーザー溶接ヘッド 8 6 は、X ステージ 8 9 により、ゲート用銅線 1 6 の長手方向に沿って一定速度で走行し、ゲートパッド位置に同期してパルス光を出射する。そして、1 つのゲート線用銅線 1 6 での溶接が終了すると、Y ステージ 9 0 により、画素垂直ピッチ分図面の横方向に移動して同様な操作を行う。ゲート線用銅線 1 6 は通常の銅線であってよく、図示した例では、線径は $100\mu\text{m}\phi$ であり、銅線 1 6 間の空隙は $476\mu\text{m}$ である。

図 3 5 は、マイクロウェルダの溶接ヘッドの原理的構造を示している。図 3 5 において、台形プリズムで示す部分 9 3 は、表示装置要素 1 0 0 およびゲート線用銅線 1 6 上に形成されたバンパ 9 1 にレーザー光を導入するマイクロオプティックス光学系である。レー

ザー光にはYAGレーザー基本波を用い、これをバンプ91の厚みに応じたサイズ、例えば $10\mu\text{m}\phi$ 以下、にレンズ92により集光してバンプ91を融解して、表示装置要素100とゲート線用銅線16の接点を溶接する。

レーザー光を $10\mu\text{m}\phi$ 以下に集光するためには、元のレーザー光源の出力がTEM₀₀モードでなければならず、且つ集光に至るまでこのモードが維持されていることが必要である。

【0071】

図36(a)は、図34のマイクロウェルダにおける光学系の一例を示した図であり、図36(b)は、図36(a)を上から見た平面図である。図36では、導光系として通常用いられているファイバーを使用せず、できるだけ単純な2枚レンズのビームエクspander95によりパルスレーザー光源94から出たビーム径を2mの距離にわたって一定化する。これをXステージ89上の全反射ミラー96、97により光学ヘッド86に導入する。前述したように、光学ヘッド86はリニアモータ駆動により一定速度で走行し、接点位置に同期してレーザー光源94からパルスレーザービームが放射される。

【0072】

以上の組み立てが終了した後、プローバーを用いて点灯検査を行い、特に、前述した接続の検査を行う。接続が完全であることを確認して次に信号線駆動用のICチップとゲート線駆動用のICチップの実装を行う。駆動用ICチップは高々数100回路分を含むのみであるので、IC間の接続、また外部コントロール回路との接続が必要である。このため、図7に示すように表示装置要素100の信号線用パッド14(a)およびゲート線16の端子部に、多層配線からなるフレキシブルかつリジッドな回路基板18(a)、(b)を取り付ける。回路基板18(a)、(b)の取り付けは、前述したようなレーザー溶接を用いて行う。回路基板18(a)、(b)上には、それぞれ信号線駆動用およびゲート線駆動用のICチップ19(a)、(b)を接続する。回路基板18(a)、(b)とICチップ19(a)、(b)の接続端子は、それぞれ基板およびICチップの下面側の端部付近の、レーザー溶接ヘッドがアクセス可能な位置に設置される。必要回路を実装し、検査が終了した後、図8に示すように、LED表示装置の表示面に対して反対側の面、すなわちゲート線16が設けられた側の面に絶縁性の黒色塗料を含む樹脂をモールドし、次いで表示面側、すなわち表示装置要素100が形成された側の面に透明樹脂をモールドし、平板状に整形することで平面表示装置が得られる。

【0073】

前述した製造方法では、Si融液からの引っ張りで石英ガラス長繊維上にシリコン単結晶薄膜を形成したが、液状のシラン化合物、例えばtri-silane、tetra-silane等を用いて、図30に示した方法と同様の手順でa-Si膜を形成し、これをレーザーアニールによって単結晶化してもよい。例えば、後述する実施例のように膜厚は75nmのシリコン単結晶膜を形成するには、石英ガラス長繊維上にa-Si膜を形成して、波長 $0.53\mu\text{m}$ のCW YAG第2高調波をEOモジュレータにより2.5μsのパルス幅で、周波数35kHzでモジュレートして、該a-Si膜に照射することでシリコン単結晶膜を得ることができる。

【0074】

【実施例】

（実施例1）

本実施例では、前述した方法に従って、アスペクト比16:9、対角50インチのHDTV用のアクティブマトリクス型有機EL表示装置（画面サイズ： $1106\times622\text{mm}$ ）を製造する。精細度はフルスペックで 1080×1920 、画素サイズは $0.576\text{mm}\times0.576\text{mm}$ 、RGB各色のピッチは 0.192mm である。長尺体には、 $160\mu\phi$ の石英ガラス長繊維を用いる。これを図10に示すように、ロール・ツウ・ロールで一定速度で走行させながら、有機EL表示装置要素を製造する。石英ガラス長繊維は、1色当たり約1200mのロールを準備する。現行の大型2次元平面状のガラス基板のスルーカット時間は60秒であり、本実施例はこれをスルーカットの目標時間に設定し、石英

10

20

30

40

50

ガラス長繊維の走行速度を約 20 m/s とする。これは、現状の光ファイバー製作速度と同程度である。石英ガラス長繊維の巻き取りには、直径 50 cm のロールを用い、 15 回転/s すなわち 900 rpm で回転させる。

【0075】

本実施例では、まず図9の左側のフローに従って、図1に示す構造の表示装置要素を製造する。製造工程の第1段階は、石英ガラス長繊維の外表面上への画素駆動回路の形成である。本実施例では、画素ごとに図11に示すレイアウトの画素駆動回路を $0.5 \mu\text{m}$ の設計ルールで形成する。図11において、トランジスタ素子は全て n -チャネルであり、 $L/W = 2/2 \mu\text{m}$ である。従って、回路部分の面積は $28 \times 24 \mu\text{m}$ である。後に述べるように本実施例では、結像レンズとして $N.A. = 0.5$ のレンズを用いており、この場合の焦点深度は $1 \mu\text{m}$ である。本実施例では、石英ガラス長繊維上への画素駆動回路のレイアウトを、石英ガラス長繊維の長手方向に対して直角方向のパターン長さを $24 \mu\text{m}$ 以下に抑えた。これにより、 $24 \mu\text{m}$ 端部と中央との深度差は $0.9 \mu\text{m}$ となり、平面对応の結像レンズを用いることができる。

【0076】

図11に示す画素駆動回路のトランジスタ素子は、図12に示す構造のMOS型TFTであり、図13に示す手順で石英ガラス長繊維上に形成したシリコン単結晶膜からSOI技術を用いて製造する。

画素駆動回路の形成において、石英ガラス長繊維上へのシリコン単結晶膜の形成は、図14に示す装置で実施する。石英ガラス長繊維1は、Si融液36が入ったるつぼ34中で速度 20 m/s で走行させる。適当な温度勾配を設定することで、石英ガラス長繊維1の外表面上に厚さ 75 nm のシリコン単結晶薄膜24が形成される。

【0077】

続いて、図15に示す手順で、シリコン単結晶薄膜からフォトリソグラフィーにより Si Island を形成する。ここで、レジスト塗布には図14に類似した装置を使用し、レジスト材にはドーズ量 5 mJ/cm^2 の化学増幅型レジストを使用する。マスク露光には図17に示す露光機 (Coherent社製 Compass AVIA 355-400) を用いて、YAGの第3高調波 (波長 355 nm 、インコヒーレント光) を出力 $10 \mu\text{J/shot}$ (周波数 40 kHz) で、パルス幅が 10 ns で照射する。この露光機は、 $N.A. = 0.5$ の結像レンズを用いている。この露光機の最大露光領域は $2 \text{ mm} \square$ で、 $5:1$ の縮小投影露光である。1画素のピッチは前述した通り 0.576 mm であるので、実際のマスク投射は1~3画素分である。石英ガラス長繊維の走行速度は 20 m/s であり、1画素幅の滞留時間は $28.8 \mu\text{s}$ となるため、照射光パルスの繰り返し周波数は 34.72 kHz とする。なお、露光の際、図21(a)に示すように、石英ガラス長繊維の進行方向がトランジスタのチャンネル長 L の方向になるように配置し、設計チャンネル長を $L + 0.4 \mu\text{m}$ とし、レジスト材のガンマを $10:1$ とする。また、石英ガラス長繊維の走行速度 v に対する該速度の変動分 Δv の割合 (速度変動率) $\Delta v/v$ を 0.025% 以下とし、パルス光の繰り返し周期 T の変動分 (ジッタ) ΔT を 2.5 ns 以下とすることで合わせ誤差 ($v \Delta T + T \Delta v$) を $0.1 \mu\text{m}$ の範囲に収める。

【0078】

続いて、図23に示す現像装置でウェットプロセスを用いて現像を実施する。図23において、現像液容器56は、内径 10 mm の塩化ビニールチューブを用いた。その後、図24に示すイオン打ち込み装置を用いて、レジストで覆われた Si Island を除いたシリコン多結晶膜をアモルファス化および水素化し、Seccoエッチングにより Si Island を形成する。

【0079】

次に、スチーム酸化により Si Island を覆うようにゲート酸化膜を形成した。 1200°C での酸化速度は約 2 nm/s であるが、酸化温度を 1400°C とし、図26に示すプロセス有効長 50 cm の酸化炉を用いることで、 25 ms の滞留時間で厚さ 50 nm のゲート酸化膜を形成することができる。

続いて、Si Islandにボロンを、 $1 \times 10^{13} \text{ atoms/cm}^2$ でチャネルドーピングして、図26に示す高温アニール炉でアニールする。アニール炉は、内径が5mmφで実効長が1mであり、アニール温度1200℃、50msの滞留時間で十分である。

【0080】

次に、イオンクラスタービームを用いてW-Tiを成膜し、Si Islandの形成と同様にフォトリソグラフィを用いて図13(d)に示すように、ゲート電極を形成する。但し、ゲート電極の形成では、Si Islandの形成のように高精度で実施する必要はないため、Coherent社製DPSS AVIA 355-4500（出力200μJ/shot（常用20kHz））を用いてパルス幅40nsで照射する。この結果、照射面積が20倍となり、1画素前面にわたって照射を行うことができる。

【0081】

続いて、図13(e)に示すように、リン(P)イオンの打ち込みにより、LDD部28と、ドレイン部およびソース部29を形成する。LDD部28の形成は、図28(a)に示すように、Pイオンを $1 \times 10^{14} \text{ atoms/cm}^2$ ドーズ72して行い、ドレイン部およびソース部29の形成は、図28(b)に示すように、LDD部28の幅（例えば1μm）に応じたレジストパターン70を形成した後、 $2 \times 10^{15} \text{ atoms/cm}^2$ Pイオンをドーズ73して行う。ここで、前述の露光方法と同様に、5:1の縮小投影を用いる。

【0082】

続いて、図13(f)に示すように、第1層間絶縁膜30として800nm厚のSiO₂膜を形成する。ここでまず、図29に示すレーザーCVD装置を用いて、CVD用ガス導入口75(a)からシランガスおよび酸素を導入しながら、CWのYAG 532nm高調波76を主排気室内74の石英ガラス長繊維1の全長にわたって照射して100nm厚のSiO₂膜が成膜する。そして、図30に示す装置を用いて700nm厚分だけのSiO₂ 80を積層させる。

【0083】

次に第1層間絶縁膜30にゲート電極27、ドレイン部およびソース部29に対するスルーホール(2μm□)を開けて、図13(g)に示すように、金属電極31(a)、(b)、(c)を配線する。スルーホールの形成は、前述したSi Islandの形成と同様に、フォトリソグラフィ工程により行う。すなわち、スルーホール位置に2μm□のレジスト穴パターンを形成して、100℃に加熱し、循環させたBHFエッチング液を用いてウェットエッチングを行い、10nmの薄膜を残してSiO₂を除去する。その後、図25と同様のドライエッチング装置を用いて、作業ガスとしてCF₄を使用して薄膜の除去と残さ処理を行う。配線用金属には、Alを用い、成膜はゲート電極と同様にイオンクラスタービームを利用する。金属配線のフォトリソグラフィ工程では前述した手順で行い、エッチングはウェットプロセスを用いて実施する。

【0084】

続いて、図13(h)に示すように、この金属配線31上に第2層間絶縁膜32を前述と同様の手順で形成する。そして、ゲート線、信号線5、VDD線4に接続するためのスルーホールを形成し、図13(i)に示すように、該スルーホールを通過する金属配線33(a)、(b)、(c)を形成する。続いて、図1に示すように、第2層間絶縁膜3上に、VDD線4、信号線5およびゲート線接続用のパッド6を、各々第1、第2象限およびY軸上近辺に膜厚1μmのAl膜で形成する。成膜に際して、下地との接着性を増すため、パッドと下地の間に10nm厚のTi膜を形成する。続いて、石英ガラス長繊維1の全周にわたってSiO₂のパッシベーション膜7を形成する。

続いて、パッシベーション膜7の第1と第4象限の境界近傍に、第3、第4象限内に形成された有機EL素子120の陰極用金属電極8と、画素駆動回路2とを接続するスルーホール15(g)を形成する。有機EL素子120の陰極用金属電極8は、重量比9:1のMg:Ag膜を蒸着して形成する。

【0085】

これらのプロセス完了後、完全に水分を除去し、乾燥雰囲気内で高分子型有機EL膜を前

10

20

30

40

50

述したレジスト塗布と同様の方法で塗布する。高分子型有機EL材料としては、正孔輸送ポリマとしてPVCzを使用し、該ポリマ中に含まれる電子輸送用分子としてBNDを使用し、蛍光発生用色素として、R（赤色）画素用にNile red、G（緑色）画素用にcoumarin 540、B（青色）画素用にTPB1, 1, 4, 4-tetraphenyl-1, 3-butadieneを各々ドーブしたものをを用いる。ここで、PVCz、BND、色素の成分比は160:40:1とする。これを1, 2-dichloroethaneとIPA(isopropyl alcohol)の混合溶剤に溶かした溶液として塗布する。塗布後、溶剤を完全に除去した後、図31に示す装置を用いて第1、2象限に塗布された有機EL膜を除去する。

続いて、陽極透明電極用の錫ドーブ酸化インジウム(ITO)膜10を第3、第4象限を主体にマスク蒸着により形成し、ITO膜の抵抗値を下げるため、第1または第2象限内で、ITO膜と接触するように、金属膜をマスクを介して成膜する。次に、石英ガラス長繊維1の全周にわたって、SiN膜12、耐熱透明樹脂膜13の順番でパッシベーションすることで、図1に示す構造の表示装置要素100が得られる。

【0086】

次に、図9の右側のフローに従って、LED表示装置を組み立てる。まず、図33に示すように、表示装置要素100およびゲート線用銅線16を枠84、85に固定する。ここでゲート線用の銅線16は、線径100 $\mu\text{m}\phi$ の通常の銅線であり、枠85には銅線16間の空隙で476 μm で固定する。枠84に固定された表示装置要素100の信号線用パッド(駆動IC用)、共通電極線用パッド、VDD線用パッドおよびゲート線用パッドにインクジェットにより、低融点金属(Sn/Pb系ハンダ)でバンプを形成する。枠85に固定されるゲート線用銅線16にも、同様にゲート線駆動用ICチップと接続する部分と、前述した表示装置要素100のバンプが形成されるゲート用パッドに対応する部分に低融点金属でバンプを形成する。

【0087】

図33(c)に示すように、枠84および85を固定して、図34(a)に示すように、マイクロウェルダに設置して、表示装置要素100のゲート線用パッド上および対応するゲート線用銅線上に形成されたバンプにレーザー光を集光してバンプ91を融解して、表示装置要素100とゲート線用銅線16の接点を溶接させる。実施例のLED表示装置は、垂直画素ピッチが576 μm であり、発振周波数20kHzの光源を使用するため、X-ゲート方向の移動速度は約12m/sである。ここから、1ゲートラインの走行所要時間は約0.1秒となり、全画面では108秒必要になる。しかし、実際には、加速、減速、1画素ピッチ移動等の各動作がそれぞれ0.1秒弱必要であり、約400秒、即ち1ヘッドでは約7分を要する。但し、これは多ヘッド化することで、短縮することができ、例えば、7台のヘッドを使用することにより、1分以下で1台のLED表示装置を製造することができる。多ヘッド化には種々の方法があるが、例えば、複数のX-ステージを置き、各ステージ上のミラー96の反射および透過率を調整することで、同一強度の光が各光学ヘッドに導入されるように設計すればよい。

【0088】

以上の組み立てが終了した後、プローバーを用いて点灯検査を行い、特に、前述した接続の検査を行う。接続が完全であることを確認して、図7に示すように表示装置要素100の信号線用パッド14(a)およびゲート線16の端子部に、回路基板18(a)、(b)を取り付け、回路基板18(a)、(b)上には、それぞれ信号線駆動用およびゲート線駆動用のICチップ19(a)、(b)を接続する。必要回路を実装し、検査が終了した後、図8に示すように、LED表示装置の表示面に対して反対側の面、すなわちゲート線16が設けられた側の面に絶縁性の黒色塗料を含む樹脂をモールドし、次いで表示面側、すなわち表示装置要素100が形成された側の面に透明樹脂をモールドして、全体の厚さが1mm以下になるように平板状に整形することで平面表示装置が得られる。

【0089】

【発明の効果】

以上説明したように、本発明のアクティブマトリクス型LED表示装置要素は、径が1000 μ m以下の長尺体の外表面上にアクティブマトリクス方式の画素を構成するLED素子と、p-Si TFTを含んだ画素駆動回路と、が形成されるため、従来の2次元平板形状をした大型の基板での製造における技術面での問題およびコスト面での問題がどちらも解消される。

特に長尺体が石英ガラス長繊維である場合には、従来技術では不可能な高温プロセスを適用でき、Siの結晶性が大幅に改善され、酸化膜も熱酸化により形成されるので、SiLSIと同程度の高性能なTFT特性を実現できる。

さらに、断面が円形の長尺体であるため、その外表面上のLED素子が形成されている部分以外に、画素駆動回路とともに、ゲート線や信号線といった、画素への電流および信号を供給するための構成要素を形成することができ、また外部から接続するゲート線および共通電極線は、ワイヤを用いることができるので、2次元平板形状をした基板でも配線抵抗問題が解決され、表示面積、精細度における制約が解消される。

本発明の表示装置要素を用いて製造されるLED表示装置は、構成要素である長尺体の径が1000 μ m以下、好ましくは500 μ m以下、より好ましくは150 μ m以下と細径であるため、厚さ2mm以下、好ましくは1mm以下という非常に薄型である。しかも、従来の2次元平板形状の基板で問題となっていた配線抵抗問題が解消されており、長尺体が石英ガラス長繊維である場合には、高温プロセスを用いることで高性能のTFTを実装できることから大型、高精度の表示装置となる。

【図面の簡単な説明】

【図1】本発明の表示装置要素の1構成例の概念図である。

【図2】図1に示す構造の等価回路を示した回路図である。

【図3】(a)は図1に示す表示装置要素の平面図であり、(b)は図3(a)における平面の位置を説明するための図である。

【図4】(a)は図1に示す表示装置要素の平面図であり、(b)は図4(a)における平面の位置を説明するための図である。

【図5】本発明の表示装置要素の別の1構成例の概念図である。

【図6】本発明の表示装置要素を用いたLED表示装置の表示面の端部付近の部分拡大図である。

【図7】図6を横方向から見た概念図である。

【図8】表示面を樹脂でモールドした後のLED表示装置の概念図である。

【図9】本発明のLED表示装置の製造手順を示したフロー図である。

【図10】ロール・トゥ・ロールでの製造工程の概念図である。

【図11】図2の画素駆動回路のレイアウトの一例を示す図。

【図12】図11の一点鎖線で示したトランジスタMOS型TFTの概念図である。

【図13】(a)～(i)は、SOI技術を用いてMOS型TFTを製造する手順を示した図である。

【図14】石英ガラス長繊維上にシリコン結晶膜を形成するのに用いる装置の概念図である。

【図15】フォトリソグラフィの手順を示したフロー図である。

【図16】レジストのプリベーク炉の概念図である。

【図17】ステッパー型露光機の構造を示した概念図である。

【図18】ケーラー照明光学系の構造を示した概念図である。

【図19】図18の光学系でのインコヒーレント化の原理を示した概念図である。

【図20】(a)、(b)は、一定速度で走行する長尺体上の露光位置に同期させてレーザー光をパルス発光させる原理を示した図である。

【図21】(a)、(b)は、画素駆動回路のLDD構造を高精度で形成するための手段を説明する図である。

【図22】(a)、(b)は、プロキシミティ露光の原理を示す図。

【図23】(a)はウェットプロセスを用いた現像装置の概念図であり、(b)は現像液

10

20

30

40

50

洗浄装置の概念図であり、(c)は(b)の装置の洗浄ノズルの概念図である。

【図24】イオン打ち込み装置の概念図である。

【図25】酸素アッシング装置の概念図である。

【図26】高温アニール炉の概念図である。

【図27】リフトオフによる電極形成を示した図である。

【図28】(a)はLDD部への不純物の打ち込み方法を示した図であり、(b)はソース部およびドレイン部への不純物の打ち込み方法を示した図である。

【図29】レーザーCVD装置の概念図である。

【図30】 SiO_2 膜の厚膜化に使用する装置の概念図である。

【図31】有機EL膜の除去に使用する装置の概念図である。

【図32】表示装置要素のスルーホールおよび配線用パッドの位置を示した平面図である。

10

【図33】(a)～(c)は本発明のLED表示装置の製造手順を示した図である。

【図34】(a)はマイクロウェルダの概念図であり、(b)は(a)の溶接ヘッド付近の拡大図である。

【図35】図34のマイクロウェルダの光学ヘッドの原理的構造を示した図である。

【図36】(a)、(b)は図34のマイクロウェルダの光学系の一例を示した概念図である。

【符号の説明】

1：長尺体、石英ガラス長繊維

2：画素駆動回路

3：層間絶縁膜

4：VDD線

5：信号線

6：ゲート用中間パッド

7：層間絶縁膜

8：陰極金属電極

8'、8''：LED素子－画素駆動回路間接続用金属電極

9：発光層

10：陽極透明電極（共通電極）

11：陽極低抵抗化用金属膜

12：第1パッシベーション層

13：第2パッシベーション層

14(a)：ゲート線用パッド

14(b)：信号線用パッド

14(c)：VDD線用パッド

14(d)：共通電極用パッド

15(a)：画素駆動回路－ゲート用中間パッド間スルーホール

15(b)：ゲート用中間パッド－ゲート用パッド間スルーホール

15(c)：画素駆動回路－信号線間スルーホール

15(d)：信号線－信号線用パッド間スルーホール

15(e)：画素駆動回路－VDD線間スルーホール

15(f)：VDD線－VDD線用パッド間スルーホール

15(g)、15(g')：画素駆動回路－陰極金属電極間スルーホール

15(h)：陽極透明電極（共通電極）－共通電極用パッド間スルーホール

16：ゲート線

17：共通電極線

18(a)：表示装置要素接続用回路基板（PCB）

18(b)：ゲート線接続用回路基板（PCB）

19(a)：信号線駆動用ICチップ

20

30

40

50

- 19 (b) : ゲート線駆動用 I C チップ
- 20 : B M 用黒色樹脂
- 21 : 透明樹脂
- 22 (a)、(b) : ロール・ツウ・ロール用リール
- 23 : 各種プロセス装置
- 24 : シリコン単結晶薄膜
- 25 : S i I s l a n d (イントリンシック相)
- 26 : ゲート酸化膜
- 27 : ゲート電極
- 28 : L D D 部
- 29 : ドレイン部、ソース部
- 30 : 第 1 層間絶縁膜
- 31 (a)、(b)、(c) : 金属配線
- 32 : 第 2 層間絶縁膜
- 33 (a)、(b)、(c) : 金属配線
- 34 : るつぼ
- 35 : ヒータ
- 36 : S i 融液
- 37 : 差動排気室
- 38 : 主排気室
- 39 : ヒータ
- 40 : 露光用光源
- 41 : ケーラー照明光学系
- 42 : マスク
- 43 : 結像レンズ系 (不可動部)
- 44 : 結像レンズ系 (可動部)
- 45 : 結像面
- 46 : 第 1 分割レンズ
- 47 : インコヒーレント化光学系
- 48 : 第 2 分割レンズ
- 49 : コンデンサレンズ
- 50 : フィールドレンズ
- 51 : マスク
- 52 (a)、(b) … (n) : 光ファイバー
- 53 (a)、(b) … (n) : 集光レンズ
- 54 : プロキシミティ露光用湾曲マスクホルダ、
- 55 : プロキシミティ露光用シリンドリカルレンズ
- 56 : 現像液容器
- 57 : 現像液循環ポンプ
- 58 : 液調整室
- 59 : ヒータ
- 60 : 洗浄ノズル
- 61 : 開口
- 62 : 噴射液または気体
- 63 : イオン打ち込み用主排気室
- 64 : イオンガン
- 65 : プラズマ発生用主排気室
- 66 : プラズマ発生用電極
- 67 : ヒータ
- 68 : 石英管

10

20

30

40

50

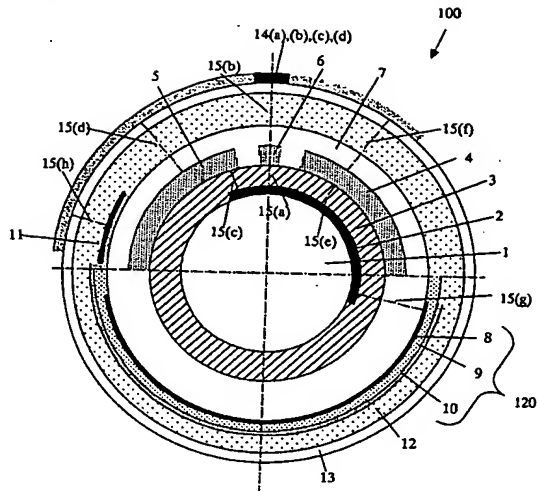
- 69 : ヒータ電源
- 70 : レジストパターン
- 71 : 局所成膜
- 72 : LDD領域用低濃度不純物ドーズ
- 73 : ドレイン部およびソース部用高濃度不純物ドーズ
- 74 : レーザーCVD用主排気室
- 75 (a) : CVD用ガス導入口
- 75 (b) : 主排気室排気口
- 76 : CVD用レーザー光
- 77 : 容器
- 78 : Si有機酸化物化合物
- 79 : ヒータ
- 80 : SiO₂ 膜
- 81 : 有機EL膜アブレーション除去用主排気室
- 82 : パルスレーザー光
- 83 : デブリス吸引口
- 84 : 表示装置要素固定用枠
- 85 : ゲート線用銅線固定用枠
- 86 : レーザー溶接ヘッド
- 87 : ゲート線押さえ用ローラー
- 88 : 表示装置要素固定板
- 89 : Xステージ
- 90 : Yステージ
- 91 (a) : ゲート線接続用低融点金属バンプ
- 91 (b) : 信号線接続用低融点金属バンプ
- 91 (c) : VDD線接続用低融点金属バンプ
- 91 (d) : 共通線接続用低融点金属バンプ
- 92 : マイクロウェルダ用集光レンズ
- 93 : レーザー光導入光学系
- 94 : パルスレーザー光源
- 95 : Xステージ用ミラー
- 96 : マイクロウェルダ溶接ヘッド導入用ミラー
- 100 : 表示装置要素
- 120 : LED素子、有機EL素子
- 130 : 接続手段

10

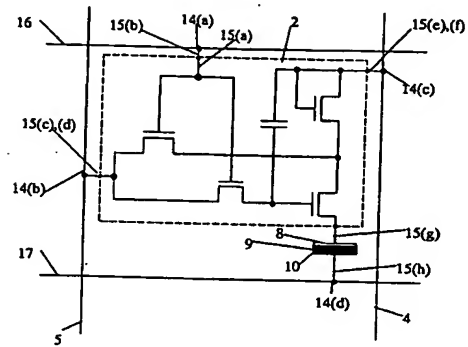
20

30

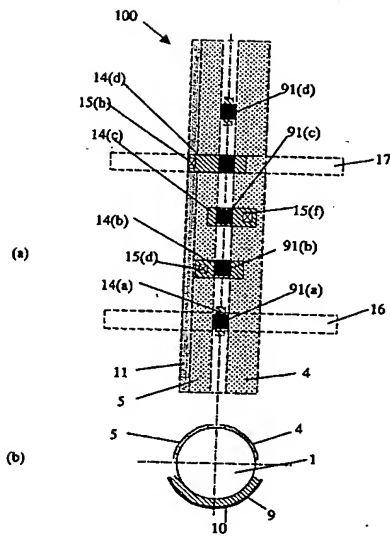
【図 1】



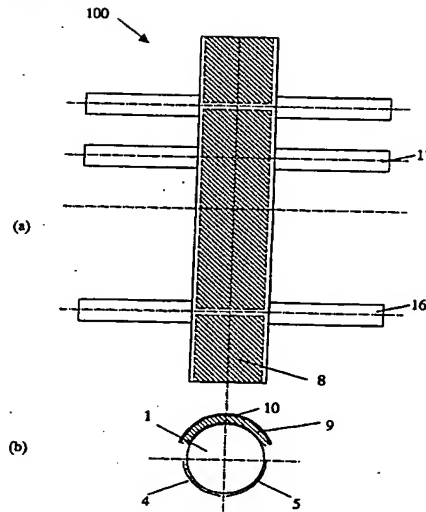
【図 2】



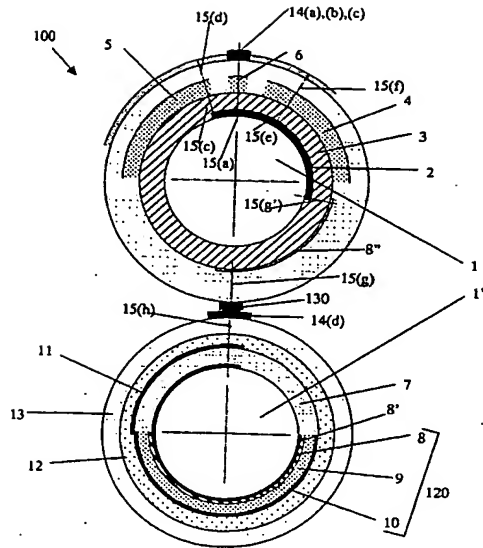
【図 3】



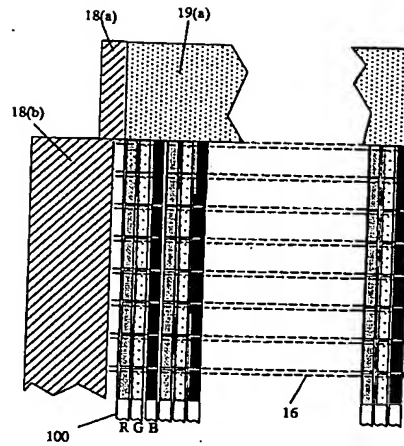
【図 4】



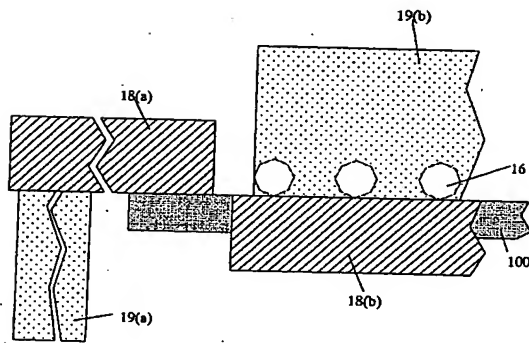
【図 5】



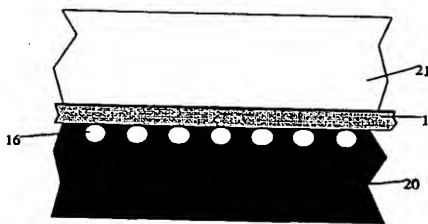
【図 6】



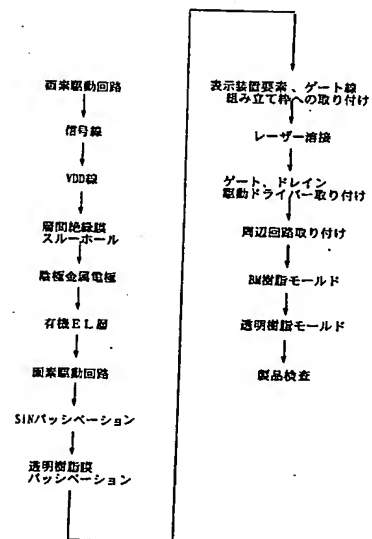
【図 7】



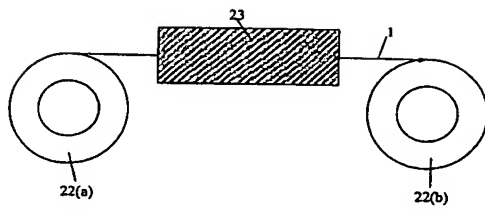
【図 8】



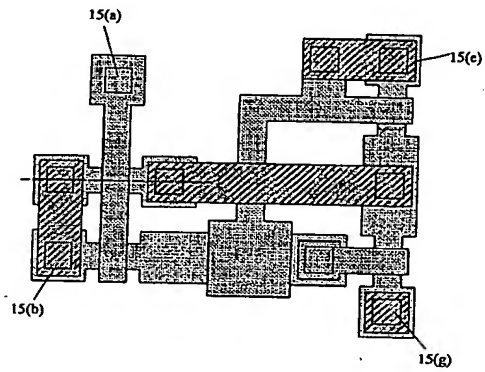
【図 9】



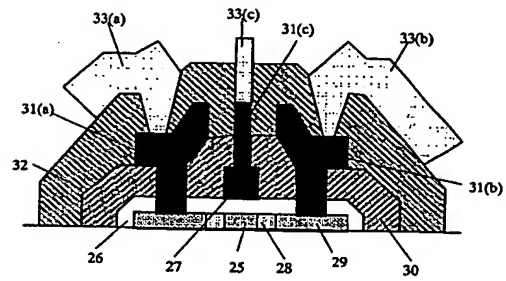
【図 10】



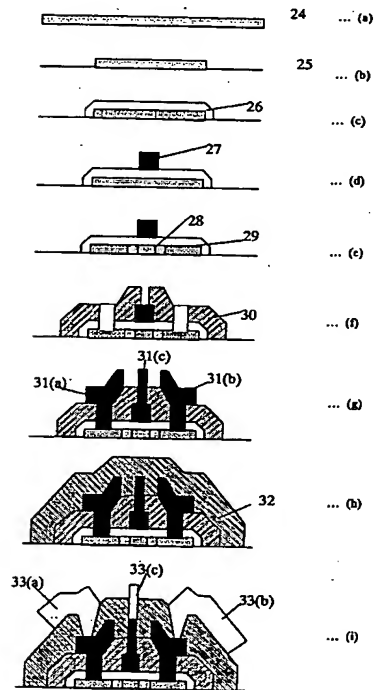
【図 11】



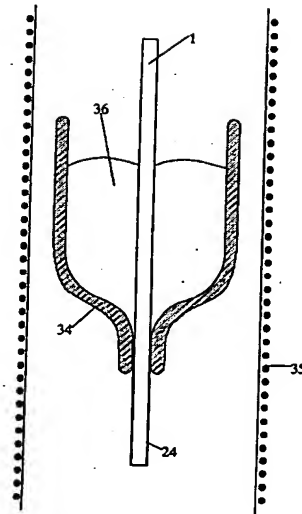
【図 12】



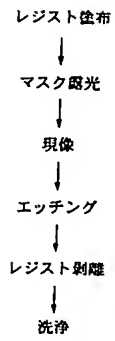
【図 13】



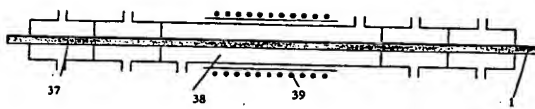
【図 14】



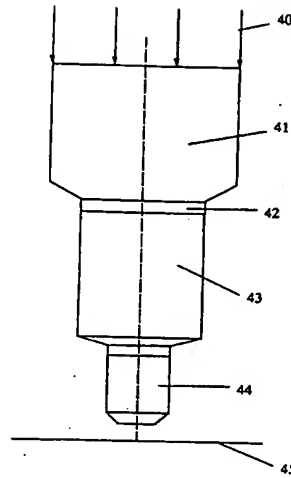
【図 15】



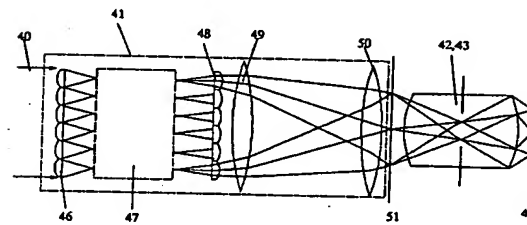
【図 16】



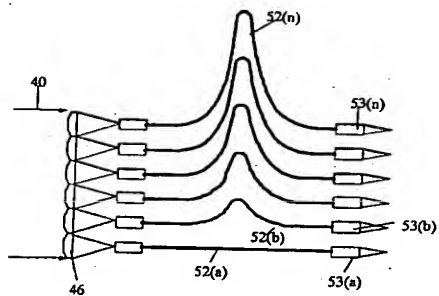
【図 17】



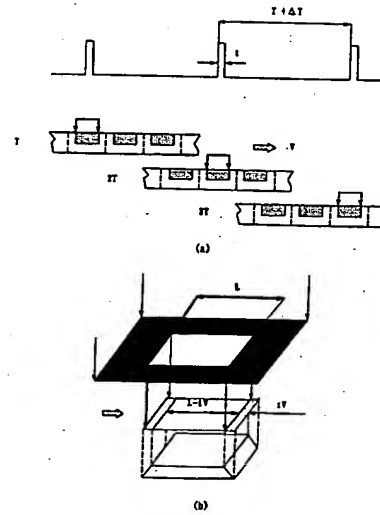
【図 18】



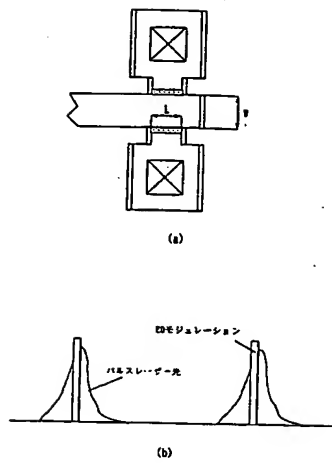
【図 19】



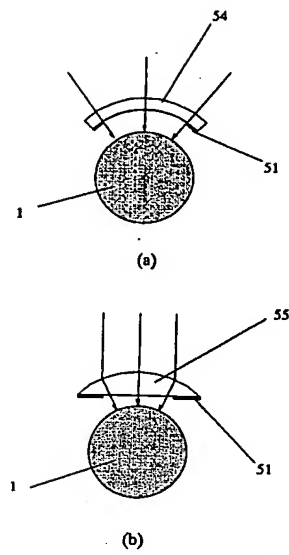
【図 20】



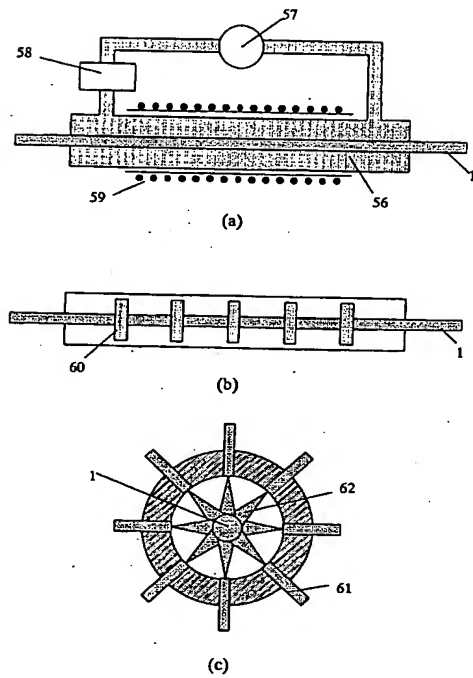
【図 2 1】



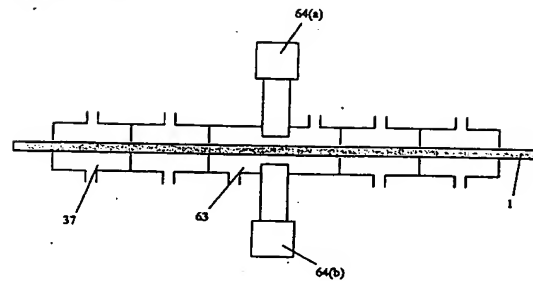
【図 2 2】



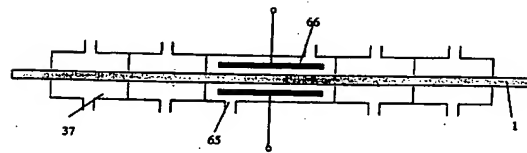
【図 2 3】



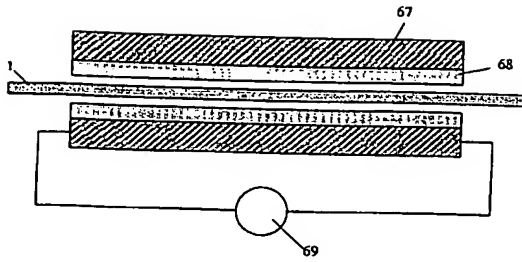
【図 2 4】



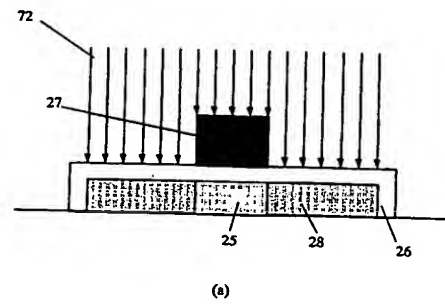
【図 2 5】



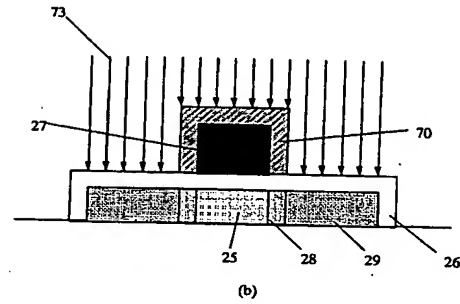
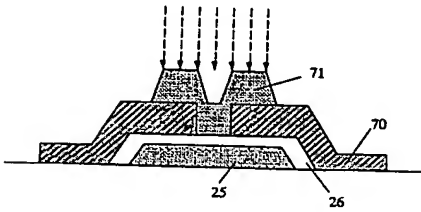
【図 26】



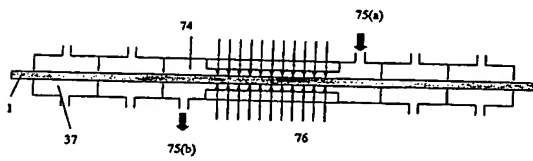
【図 28】



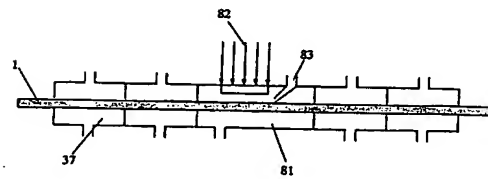
【図 27】



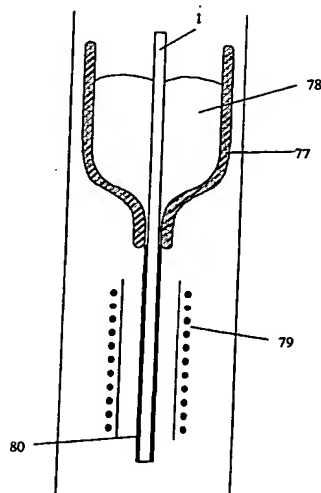
【図 29】



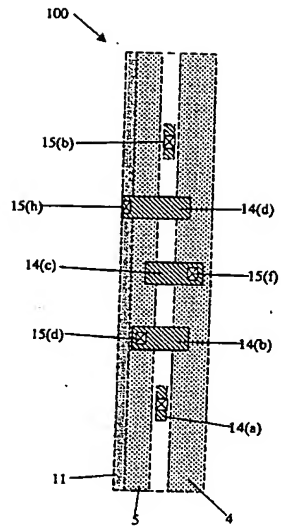
【図 31】



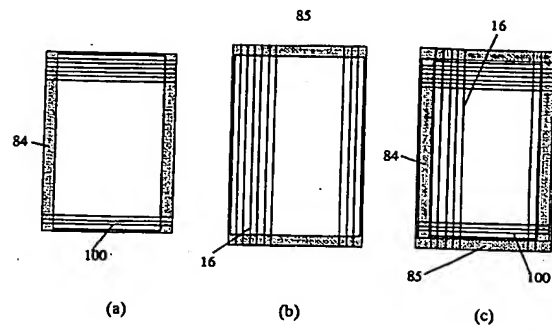
【図 30】



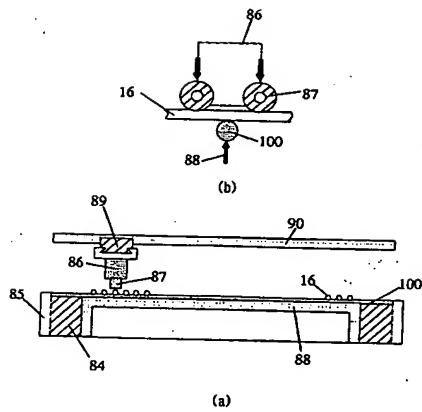
【図 3 2】



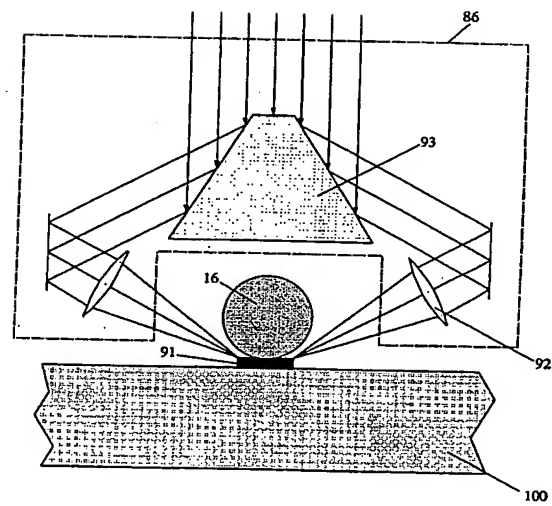
【図 3 3】



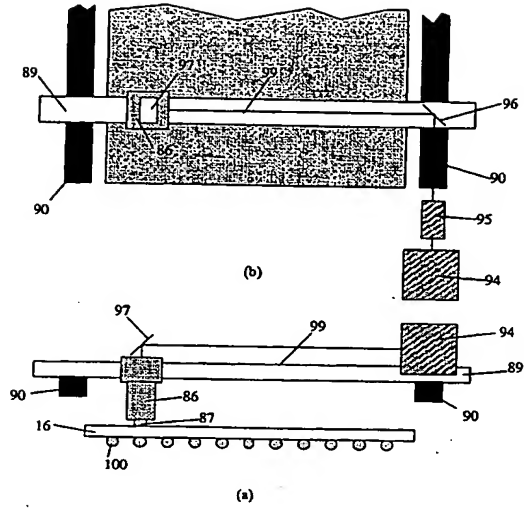
【図 3 4】



【図 3 5】



【図 36】



フロントページの続き

Fターム(参考) 5F110 AA30 BB01 CC02 DD03 EE06 EE22 EE42 FF02 FF12 FF23
GG02 GG12 GG13 GG22 GG25 GG28 GG29 GG32 GG42 GG43
GG44 HJ01 HJ13 HJ23 HLO3 HL22 HM02 HM15 NNO3 NNO4
NN23 NN35 NN71 PP03 QQ14